

0350474

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2003年 5月 7日

出 願 番 号

Application Number: 特願2003-129177

[ ST.10/C ]:

[ JP2003-129177 ]

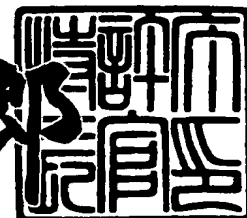
出 願 人

Applicant(s): 株式会社東芝

2003年 5月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040835

【書類名】 特許願

【整理番号】 A000301612

【提出日】 平成15年 5月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 18

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 佐藤 力

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 水島 一郎

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100091351

    【弁理士】

    【氏名又は名称】 河野 哲

【選任した代理人】

    【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に設けられたダブルゲート構造を含む MOSFET と、

前記半導体基板の表面に設けられた溝および前記溝内に設けられた絶縁体を含み、前記 MOSFET を他の素子と分離する素子分離領域であって、前記 MOSFET 周囲の前記溝において、その一部の領域が他の領域よりも底が深くなっている素子分離領域と

を具備してなることを特徴とする半導体装置。

【請求項 2】 前記 MOSFET は、

前記半導体基板の内部に設けられた下部ゲート電極と、

前記下部ゲート電極の上方の前記半導体基板上に設けられた上部ゲート電極と

前記上部ゲート電極と前記半導体基板との間に設けられた上部ゲート絶縁膜と

前記上部ゲート電極の下方の前記半導体基板と前記下部ゲート電極との間に設けられた下部ゲート絶縁膜とを備えていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記 MOSFET は、前記 MOSFET 周囲の前記溝のうち、前記他の領域よりも底が深くなっている前記領域内に設けられた、側部ゲート電極および側部ゲート絶縁膜をさらに備え、前記側部ゲート電極下の前記他の領域よりも底が深くなっている前記領域内に、前記絶縁体の一部が設けられていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記半導体基板内には空洞が設けられ、前記下部ゲート電極および前記下部ゲート絶縁膜は、前記空洞内に設けられていることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記空洞の上壁の一部は前記溝によって開口され、前記溝によって開口された前記空洞上の前記半導体基板の側面上に側部ゲート絶縁膜、側

部ゲート電極が順次設けられていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記下部ゲート絶縁膜、前記側部ゲート絶縁膜および前記上部ゲート絶縁膜は、一体化されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記下部ゲート絶縁膜、前記側部ゲート絶縁膜および前記上部ゲート絶縁膜は、共通の熱酸化膜で構成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記下部ゲート電極、前記側部ゲート電極および前記上部ゲート電極は、一体化されていることを特徴とする請求項 5 ないし 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】 前記下部ゲート電極、前記側部ゲート電極および前記上部ゲート電極は、共通の導電性を有する膜で構成されていることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記導電性を有する膜は、不純物を含む半導体膜または金属を含む膜であることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記空洞内には、前記下部ゲート電極および前記下部ゲート絶縁膜によって満たされていない空間が残っていることを特徴とする請求項 4 ないし 10 のいずれか 1 項に記載の半導体装置。

【請求項 12】 前記空洞の上壁は、平坦な領域を含むことを特徴とする請求項 4 ないし 11 のいずれか 1 項に記載の半導体装置。

【請求項 13】 前記半導体基板の内部に、請求項 4 に記載の空洞が前記半導体基板の厚さ方向に複数設けられ、これらの複数の空洞内のそれぞれに請求項 4 に記載の下部ゲート絶縁膜および下部ゲート電極が設けられていることを特徴とする請求項 5 ないし 12 のいずれか 1 項に記載の半導体装置。

【請求項 14】 半導体基板内に空洞を形成する工程と、  
前記半導体基板の表面に素子分離領域を形成する工程と、  
前記半導体基板に前記素子分離領域により他の素子と分離されたダブルゲート構造を含む MOSFET を形成する工程とを有する半導体装置の製造方法であつ

て、

前記素子分離領域を形成する工程は、

前記空洞の一部が開口するように、前記半導体基板の表面をエッチングし、溝を形成する工程と、

前記空洞を塞がずに前記溝内に絶縁体を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 5】 前記半導体基板内に空洞を形成する工程は、

前記半導体基板の表面に溝を形成する工程と、

前記半導体基板を減圧下で加熱する工程とを含むことを特徴とする請求項 1 4 に記載の半導体装置の製造方法。

【請求項 1 6】 前記空洞を塞がずに前記溝内に前記絶縁体を形成する工程は、異方性を有する堆積法により絶縁材料を前記溝を含む領域上に堆積する工程を含むことを特徴とする請求項 1 4 または 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】 前記 MOSFET を形成する工程は、前記半導体基板の露出表面を酸化あるいは酸窒化することにより、前記空洞の上壁および該上壁上の前記半導体基板の表面を含む領域上に、ゲート絶縁膜を形成する工程を含むことを特徴とする請求項 1 4 ないし 1 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 8】 前記 MOSFET を形成する工程は、CVD 法により導電性を有する材料を前記ゲート絶縁膜上に堆積することにより、ゲート電極となる導電性を有する膜を形成する工程を含むことを特徴とする請求項 1 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダブルゲート構造を含む半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

MOSFET の動作特性の指標の一つとして、電流駆動能力がある。電流駆動

能力の向上は、従来より、素子の微細化により達成されている。M O S F E T のゲート長は、既に 0. 1 3  $\mu$  m 程度まで微細化が進んでいる。現在、一層の微細化を実現するための半導体プロセスの研究開発が進められている。しかし、この種の半導体プロセスを実現することは、技術的に困難であるばかりか、開発コストの点でも困難である。

## 【 0 0 0 3 】

そこで、微細化以外の手法で、電流駆動能力等の動作特性を高めることが求められている。その手法の一つとして、所謂ダブルゲート構造あるいはゲートオールアラウンド構造の導入が提案されている。ダブルゲート構造とは、半導体活性層の表面側だけではなく、裏面側にもチャンネルが形成される構造のことをいう。ダブルゲート構造を用いることで、ドレイン電流が概略 2 倍となるので、電流駆動能力は飛躍的に向上する。

## 【 0 0 0 4 】

ダブルゲート構造を含む M O S F E T を実現するためには、裏面側（バックゲート側）にもゲート構造（ゲート電極／ゲート絶縁膜／半導体層）を形成する必要がある。

## 【 0 0 0 5 】

しかし、裏面側にゲート構造を形成することは、技術的に非常に困難である。さらに、従来の技術では、プロセスが複雑な方法でしかダブルゲート構造を実現することができない（例えば、特許文献 1）。その結果、ダブルゲート構造を含む M O S F E T は、現在まで実用化に至っていない。

## 【 0 0 0 6 】

一方、ゲートオールアラウンド構造を含む M O S F E T に関しては、チャンネル領域の周囲をゲート電極でくるんだ構造を含む M O S F E T が報告されている（非特許文献 1）。上記 M O S F E T のプロセスは、S i G e の堆積工程、該 S i G e のエッチング工程などを含む。その結果、上記プロセスは複雑になる。また、上記 M O S F E T の裏面側のゲート電極の幅の調整は、困難であるという問題がある。

## 【 0 0 0 7 】

なお、ダブルゲート構造に類似した構造を含むMOSトランジスタが知られている（特許文献2，3）。

【0008】

特許文献2の図11等には、ダブルゲート構造を含むMOSトランジスタに見えるデバイスが開示されている。しかし、裏面側のポリシリコン110はどことも電氣的に接続されていない。さらに、段落0037の記載によれば、ポリシリコン110は、単に熱伝導度を高めてセルフヒーティングを抑止するのに使用されているのにすぎないことが分かる。

【0009】

特許文献3の図8（b）等には、ダブルゲート構造に近い構造が提示されている。しかし、上記構造は、図8（c）から明らかなように基板内に埋め込まれているものが絶縁膜であり、ダブルゲート構造とはなっていない。

【0010】

【特許文献1】

特願平11-113653号公報 ※校閲後の特許文献は公開されていないので、校閲前の文献に戻しました。

【0011】

【特許文献2】

特開2003-31799号公報

【0012】

【特許文献3】

特開2000-12858号公報

【0013】

【非特許文献1】

S. Monfey et al., 2002 Symposium on VLSI Technology, 11.4, Digest of Technical Papers p.108

【0014】

【発明が解決しようとする課題】

上述の如く、MOSFETの電流駆動能力を素子の微細化に頼らずに達成する



手法として、ダブルゲート構造またはオールアラウンド構造などの構造を導入することが知られている。しかし、この種のゲート電極をチャンネルの両面に形成した構造は形成することが非常に困難である。

## 【 0 0 1 5 】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、容易に形成することができるダブルゲート構造またはゲートオールアラウンド構造を含む半導体装置およびその製造方法を提供することにある。

## 【 0 0 1 6 】

## 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

## 【 0 0 1 7 】

すなわち、上記目的を達成するために、本発明に係る半導体装置は、半導体基板と、前記半導体基板上に設けられたダブルゲート構造を含むMOSFETと、前記半導体基板の表面に設けられた溝および前記溝内に設けられた絶縁体を含み、前記MOSFETを他の素子と分離する素子分離領域であって、前記MOSFET周囲の前記溝において、その一部の領域が他の領域よりも底が深くなっている素子分離領域とを具備してなることを特徴とする。

## 【 0 0 1 8 】

本発明に係る半導体装置によれば、以下の本発明に係る半導体装置の製造方法により、容易に製造することができる。

## 【 0 0 1 9 】

また、本発明に係る半導体装置の製造方法は、半導体基板内に空洞を形成する工程と、前記半導体基板の表面に素子分離領域を形成する工程と、前記半導体基板に前記素子分離領域により他の素子と分離されたダブルゲート構造を含むMOSFETを形成する工程とを有する半導体装置の製造方法であって、前記素子分離領域を形成する工程は、前記空洞の一部が開口するように、前記半導体基板の表面をエッチングし、溝を形成する工程と、前記空洞を塞がずに前記溝内に絶縁体を形成する工程とを含むことを特徴とする。

## 【 0 0 2 0 】

本発明に係る半導体装置の製造方法によれば、バックゲート側のゲート電極となる導電性を有する膜と、表面側のゲート電極となる導電性を有する膜とを同一の工程で形成することができるので、ダブルゲート構造を容易に形成することができるようになる。

## 【 0 0 2 1 】

さらに、ゲート絶縁膜を酸化または窒化等の半導体基板表面の改質により形成する場合、バックゲート側と表面側のゲート絶縁膜を同一の工程で形成することができるので、ダブルゲート構造をさらに容易に形成することができるようになる。

## 【 0 0 2 2 】

また、バックゲート側のゲート電極を形成するための領域を、本来のMOSFETの形成領域とは別に確保する必要がないので、チップ面積の増大を招くことはない。

## 【 0 0 2 3 】

本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

## 【 0 0 2 4 】

## 【発明の実施の形態】

以下、図面を参照しながら本発明の実施形態を説明する。

## 【 0 0 2 5 】

## (第1の実施形態)

図1～図8は、本発明の第1の実施形態に係るダブルゲート構造を含むMOSFETの製造工程を示す図である。各図(b)および図(c)は、それぞれ、各図(a)のA-A'断面図およびB-B'断面図を示している。

## 【 0 0 2 6 】

まず、図1に示すように、シリコン基板1上にシリコン酸化膜からなるトレンチ形成用のマスクパターン2を形成し、マスクパターン2をマスクにしてシリコン基板1をRIE(Reactive Ion Etching)プロセスによりエッチングし、複数

のトレンチ 3 を形成する。

【0027】

マスクパターン 2 の作成は、例えば、シリコン基板 1 の表面にシリコン酸化膜を熱酸化法により形成する工程と、シリコン基板 1 の表面にシリコン酸化膜を CVD 法により堆積する工程と、これらのシリコン酸化膜（熱酸化膜、CVD 酸化膜）をパターニングする工程とを含む周知のプロセスにより行われる。

【0028】

シリコン酸化膜からなるマスクパターン 2 の代わりに、シリコン窒化膜等の他の絶縁膜またはシリコン酸化膜／シリコン窒化膜等の多層絶縁膜からなるマスクパターンを使用することも可能である。

【0029】

次に、図 2 に示すように、マスクパターン 2 を例えばウエットエッチングにより除去し、その後、例えば、水素等の還元性雰囲気中での減圧下での熱処理によりシリコン基板 1 を加熱し、シリコン基板 1 内に空洞（ESS: Empty Space in Silicon）4 を形成する。

【0030】

ESS 4 上のシリコン基板 1（SON: Silicon On Nothing）の表面（上面）および裏面（下面）が MOSFET のチャネルが形成される領域である。さらに、本実施形態の場合、SON の側面の一部もチャネルが形成される領域となる。

【0031】

ESS 4 の平面パターンは、図 2（a）に示すように、縦に長い長方形（長辺方向がチャネル幅方向、短辺方向がチャネル長方向の長方形）であるが、他のパターンでも構わない。

【0032】

また、ESS 4 の上面（上壁）S は、図 2（b）および図 2（c）に示すように、角部では湾曲しているが、他の部分では平坦になっている。ESS 4 の上面 S はチャネルが形成されるシリコン領域であるので、なるべく平坦であることが好ましい。

【0033】

また、ESS4を形成するための熱処理の詳細は、特開2000-12858号公報に開示されているが、簡単に述べると以下の通りである。すなわち、ESS4を形成するための熱処理は、例えば、300 Torr、1100℃、1分間の水素雰囲気中での熱処理である。

#### 【0034】

また、上記熱処理により、ESS4上のシリコン基板1の表面の高さが低下する場合には、シリコン基板1の表面を平滑する処理を行っても良い。この平滑処理（平坦化処理）は、例えば特開2001-144276号公報に詳細に開示されているが、簡単に述べると以下の通りである。すなわち、シリコン基板1の表面を平滑する処理は、例えば、CMP（Chemical Mechanical Polishing）によりシリコン基板1の表面を平坦化する工程と、平坦化されたシリコン基板1の表面を酸化する工程とを含む。

#### 【0035】

次に、図3に示すように、シリコン基板1上にシリコン窒化膜からなる素子分離溝形成用のマスクパターン5を形成する。マスクパターン5は、ESS4上のシリコン基板1の表面全体を覆うように形成するのではなく、その一部を残すように形成する。ここでは、図3（a）の平面図に示すように、ESS4の一部（チャンネル幅方向の両端部）が覆われないようにする。

#### 【0036】

その後、図3に示すように、マスクパターン5をマスクにしてシリコン基板1をRIEプロセスによりエッチングし、素子分離溝（STI：Shallow Trench Isolation）6を形成する。素子分離溝6の形成後は、ESS4は閉じた空洞（空間）ではなく、開いた空洞（空間）となる。ESS4のチャンネル幅方向の端部の上壁が素子分離溝6によって開口される。

#### 【0037】

ここで、本実施形態の素子分離溝6は、従来とは異なり、その一部の底の深さが異なっている。具体的には、マスクパターン5で覆われていないESS4下の領域Tの底が他の領域よりも深くなる。これは、エッチングの際に、マスクパターン5で覆われていないESS4下の部分が、ESS4の深さ分だけ予めエッチ

ングされているのと同じ状態であるからである。

【 0 0 3 8 】

この段階では、M O S F E T はまだ完成してないので、本実施形態の素子分離溝 6（素子分離領域）を E S S 4 の関係で説明したが、M O S F E T の完成後は、本実施形態の素子分離領域は M O S F E T 周囲の素子分離溝 6 において、その一部の領域が他の領域よりも底が深くなっているという構成を備えていると説明できる。

【 0 0 3 9 】

次に、図 4 に示すように、H D P（High Density Plasma）- C V D 法などの異方性のある堆積方法により、素子分離溝 6 の埋込み部材として、シリコン酸化膜 7（絶縁体）を全面に堆積する。

【 0 0 4 0 】

ここで、H D P - C V D などの異方性にある堆積法が用いられているので、急峻な勾配を有する領域上にはシリコン酸化物は堆積されず、その結果、素子分離溝 6 の深い領域の内側壁上にはシリコン酸化物は堆積されない。したがって、図 4 に示すように、素子分離に必要な十分な形状を有し、かつ、S O N の間口が塞がれない形状を有するシリコン酸化膜 7 の堆積が可能となる。

【 0 0 4 1 】

次に、図 5 に示すように、C M P プロセスにより、素子分離溝 6 の外部のシリコン酸化膜 7 を除去し、続いて、マスクパターン 5 を除去するとともに、シリコン基板 1 上を平坦にする。マスクパターン 5 はエッチングにより除去することも可能である。

【 0 0 4 2 】

このようにして、次工程で形成される M O S F E T を他の素子（例えば、他のダブルゲート構造を含む M O S F E T）と分離するための素子分離領域が完成する。

【 0 0 4 3 】

ここで、図 5 から分かるように、E S S 4 の両側において、シリコン酸化膜 7 が埋め込まれていない領域が残る。これは、異方性のある堆積方法により、シリ

コン酸化膜 7 を堆積したからある。ESS4 の両側にシリコン酸化膜 7 が埋め込まれない領域（隙間）ができるのであれば、等方性の成膜法によりシリコン酸化膜 7 を形成しても構わない。

## 【0044】

次に、図 6 に示すように、公知の熱酸化法により、シリコン基板 1 の表面上にゲート絶縁膜（熱酸化膜）8 を形成する。

## 【0045】

ゲート絶縁膜 8 は、図 6 に示されるシリコンの露出した全領域に形成されるため、SON の上面、側面および下面、ならびに ESS4 の下面（底部）のいずれにも同様に形成される。SON の下面は、言い換えれば、ESS4 の上面（上壁）である。

## 【0046】

このように本実施形態によれば、シリコン基板 1 上のゲート絶縁膜（上部ゲート絶縁膜）とシリコン基板 1 内のゲート絶縁膜（下部ゲート絶縁膜）とを同一のプロセスにより同時に形成でき、プロセスの簡略を図れるようになる。

## 【0047】

ここでは、ゲート絶縁膜 8 としては熱酸化膜を用いたが、ラジカルを用いた方法で形成されたシリコン酸化膜、あるいは窒素も含んだシリコン酸窒化膜（SiON 膜）を用いても構わない。さらに、MOSFET の活性領域（SON）の上面、下面に熱酸化膜を同時に形成し、その後、例えば上面のみに窒化処理を行うなどすることも可能である。すなわち、下面に熱酸化膜、上面に SiON 膜を形成しても構わない。

## 【0048】

なお、下部ゲート絶縁膜は、シリコン基板 1 上のゲート電極（上部ゲート電極）下のシリコン基板と、シリコン基板 1 内のゲート電極（下部ゲート電極）との間にあれば十分であり、ESS4 の内壁全体を塞ぐ必要はない。

## 【0049】

次に、図 7 に示すように、ゲート絶縁膜 8 上に、ドーパントとなる不純物を含んだ、ゲート電極となる多結晶シリコン膜 9 を CVD 法により堆積する。

## 【 0 0 5 0 】

多結晶シリコン膜 9 の堆積時には、E S S 4 の両側のシリコン酸化膜 7 が埋め込まれない領域（隙間）から E S S 4 内に S i 原料ガスが導入し、E S S 4 の内壁（ゲート絶縁膜 8）上にも多結晶シリコン膜 9 は堆積する。この E S S 4 の内壁上における多結晶シリコン膜 9 の堆積は、上記隙間が多結晶シリコン膜 9 で塞がれるまで行われる。

## 【 0 0 5 1 】

このように本実施形態によれば、上部ゲート電極および下部ゲート電極となる多結晶シリコン膜 9 を同一のプロセスにより同時に形成でき、プロセスの簡略を図れるようになる。

## 【 0 0 5 2 】

通常が多結晶シリコン C V D のプロセス条件では、E S S 4 は完全には多結晶シリコン膜 9 によって埋め込まれることはない。したがって、E S S 4 の一部はそのまま埋め込まれず最後まで残る。E S S 4 の未充填部分（下部ゲート電極および下部ゲート絶縁膜により満たされていない空間）は、例えば、リーク電流の軽減に寄与する。多結晶シリコン膜 9 のプロセス条件によっては、E S S 4 を完全に埋め込むことも可能である。

## 【 0 0 5 3 】

なお、多結晶シリコン膜 9 中への不純物のドーピング方法は、通常と同様で構わない。例えば、イオン注入法を用いた場合など、バックゲート側にはイオンは注入されないが、多結晶シリコン中の不純物の拡散係数は単結晶シリコン中のそれよりも約 1 0 0 倍速いため、イオン注入後に熱処理を行うことで、バックゲート側にも不純物が高濃度に添加された低抵抗の多結晶シリコン膜 9 を形成することができる。あるいは、多結晶シリコン膜 9 の堆積時に不純物をドーピングする方法を用いてもよい。

## 【 0 0 5 4 】

次に、図 8 に示すように、多結晶シリコン膜 9 を図示しないレジストパターンをマスクにしてエッチングし、ゲート電極を形成する。このとき、シリコン基板 1 上の多結晶シリコン膜 9 と E S S 4 内の多結晶シリコン膜 9 とが分断されない

ようにする。

【 0 0 5 5 】

このように本実施形態によれば、上部ゲート電極を形成するための多結晶シリコン膜 9 のパターニング工程と、下部ゲート電極を形成するための多結晶シリコン膜 9 のパターニング工程とが同じパターニング工程となるので、プロセスの簡略を図れるようになる。

【 0 0 5 6 】

この後は、図 8 に示すように、イオン注入とアニールによってソース／ドレイン領域 1 0 を形成する工程等の周知の MOS F E T プロセスを経ることで、ダブルゲート構造を含む MOS F E T が完成する。

【 0 0 5 7 】

このように本実施形態によれば、シリコン基板 1 上のゲート絶縁膜およびゲート電極を含むゲート構造（上部ゲート構造）と、シリコン基板 1 内のゲート絶縁膜およびゲート電極を含むゲート構造（下部ゲート構造）とを共通のプロセスで同時に形成でき、上部ゲート構造と下部ゲート構造をそれぞれ別のプロセスで形成する従来方法に比べて、極めて簡単なプロセスで、ダブルゲート構造を含む MOS トランジスタを実現できるようになる。

【 0 0 5 8 】

また、本実施形態によれば、図 7 の多結晶シリコン膜 9 の堆積時に、MOS F E T 周囲の素子分離溝 6 のうち、底が深くなっている領域内に多結晶シリコン膜 9 が堆積される。上記多結晶シリコン膜 9 下の素子分離溝 6 内にはシリコン酸化膜 7 の一部が設けられている。

【 0 0 5 9 】

その結果、SON の側面上のゲート絶縁膜 8 上に多結晶シリコン膜 9 （側部ゲート電極）が形成される。これにより、SON の側壁にもチャンネルが形成されることになる。

【 0 0 6 0 】

したがって、もともとはダブルゲート構造の形成を目的としたプロセスによって、結果的に、SON 周囲のシリコン領域（シリコン基板 1）がゲート絶縁膜お



よびゲート電極で包み込まれる構造、つまりゲートオールアラウンド構造（ダブルゲート構造を含むゲート構造）を含むMOSトランジスタが形成される。このことは、図8（c）のチャネル幅方向の断面図から明らかなように、SON周囲のシリコン領域（シリコン基板1）がゲート絶縁膜およびゲート電極で包み込まれるタイプのゲートオールアラウンド構造が形成できることを意味している。

## 【0061】

ただし、本実施形態の場合、SON周囲のシリコン領域（シリコン基板1）の全てがゲート絶縁膜およびゲート電極で包み込まれるタイプのゲートオールアラウンド構造ではない。すなわち、チャネル幅方向の断面におけるSON周囲のシリコン領域（シリコン基板1）がゲート絶縁膜およびゲート電極で包み込まれるタイプのゲートオールアラウンド構造である。

## 【0062】

なお、純粹のダブルゲート構造は、例えば、SONの側壁上の多結晶シリコン膜9を例えばエッチングにより除去することにより得られる。

## 【0063】

このように本実施形態によれば、MOSFETの活性領域（SON）の上面および下面のみならず、側面にもチャネルが形成されるので、電流駆動能力の向上が図れる。

## 【0064】

また、本実施形態によれば、SONの上面のゲート電極9（上部ゲート電極）および下面のゲート電極9（下部ゲート電極）が、図8に示すように、ダブルゲート構造を含むMOSFETの両側の二つのコンタクトホール11にて2箇所て繋がっていることにより、ゲートの寄生抵抗の低減化を図れる。

## 【0065】

また、本実施形態によれば、上部ゲート電極と下部ゲート電極とを繋ぐコンタクトホール11を自己整合的に形成することができるので、合わせずれ対策用の領域を確保する必要がない。すなわち、本実施形態のダブルゲート構造の導入に際して、チップ面積の増加の問題はない。

## 【0066】

なお、上部ゲート電極と下部ゲート電極は一体形成されたものであるが、それぞれ物理的に別のものとすることも可能である。ただし、この場合、上部ゲート電極と下部ゲート電極に同じ電圧を同時に印加するための構造を形成する必要がある。

## 【0067】

したがって、基本的には、上部ゲート電極および下部ゲート電極は、一体形成されたものであることが好ましい。このような一体形成されたゲート電極9は、上述したように、本実施形態の方法で容易に形成することができる。

## 【0068】

また、本実施形態のダブルゲート構造を含むMOSFET (SON) および従来のバルクMOSFET (bulk) の  $I_d - V_g$  特性を調べた。その結果を図9に示す。図9から、本実施形態のMOSFETのドレイン電流値は、従来のMOSFETのその約1.8倍となっていることが確認された。図9(a)はドレイン電圧の絶対値が0.05V、図9(b)はドレイン電圧の絶対値が1.5Vの場合の結果を示している。また、SONの厚さは22nmとした。

## 【0069】

本実施形態のダブルゲート構造を含むMOSFETのドレイン電流が、従来のMOSFETのその2倍とならなかった理由としては、バックゲート側のゲート長が実効的に長めであったこと、あるいはバックゲート側のゲート電極9の不純物濃度が十分に高くなく、ゲート電極(多結晶シリコン膜)9の空乏化により実効的なゲート絶縁膜厚が厚くなったことなどが考えられる。

## 【0070】

なお、本実施形態では、ゲート電極として、不純物を含む多結晶シリコン膜を用いたが、金属を含む導電性を有する膜を用いてもよい。例えば、Al膜、W膜または $WSi_2$ 膜などを用いても良い。これらの膜は、例えばメタルCVD法により形成することができる。

## 【0071】

また、本実施形態では、図3の工程において、ESS4のチャネル幅方向の一端部および他端部の一部が覆われないように、マスクパターン5を形成したが、

一方の端部だけが覆われないようにしても構わない（図 1 0）。

【 0 0 7 2 】

また、図 1 1 に示すようなマスクパターン 5 を形成することにより、三つ以上のコンタクトホール 1 1 を自己整合的に形成することも可能である。

【 0 0 7 3 】

（第 2 の実施形態）

図 1 2 ～図 1 9 は、本発明の第 2 の実施形態に係るダブルゲート構造を含む M O S F E T の製造工程を示す図である。各図（b）および図（c）は、それぞれ、各図（a）の A - A ' 断面図および B - B ' 断面図を示している。

【 0 0 7 4 】

まず、図 1 2 に示すように、シリコン基板 2 1 上にシリコン酸化膜からなるトレンチ形成用のマスクパターン 2 2 を形成し、マスクパターン 2 2 をマスクにしてシリコン基板 2 1 を R I E プロセスによりエッチングし、複数のトレンチ 2 3 を形成する。

【 0 0 7 5 】

マスクパターン 2 2 の作成は、例えば、シリコン基板 2 1 の表面にシリコン酸化膜を熱酸化法により形成する工程と、シリコン基板 2 1 の表面にシリコン酸化膜を C V D 法により堆積する工程と、これらのシリコン酸化膜（熱酸化膜、C V D 酸化膜）をパターニングする工程とを含む周知のプロセスにより行われる。

【 0 0 7 6 】

シリコン酸化膜からなるマスクパターン 2 2 の代わりに、シリコン窒化膜等の他の絶縁膜またはシリコン酸化膜／シリコン窒化膜等の多層絶縁膜からなるマスクパターンを使用することも可能である。

【 0 0 7 7 】

次に、図 1 3 に示すように、マスクパターン 2 2 を例えばウエットエッチングにより除去し、その後、例えば、水素等の還元性雰囲気中での減圧下での熱処理によりシリコン基板 2 1 を加熱し、シリコン基板 2 1 内に 2 層の空洞（E S S） $24_1$ 、 $24_2$  を形成する。

【 0 0 7 8 】

ESS24<sub>1</sub> およびESS24<sub>1</sub> は同じ構造を有する。ESS24<sub>1</sub> の両サイドS1とESS24<sub>2</sub> の両サイドS2の位置は、チャンネル長方向およびチャンネル幅方向のいずれにおいても一致している。

## 【0079】

ESS24<sub>1</sub> 上のシリコン基板21 (SON1) の表面 (上面) および裏面 (下面)、ならびにESS24<sub>2</sub> 上のシリコン基板21 (SON2) の表面 (上面) および裏面 (下面) は、MOSFETのチャンネルが形成される領域である。さらに、本実施形態の場合、SON1およびSON2の側面の一部も、チャンネルが形成される領域となる。

## 【0080】

また、上述した通り、ESS24<sub>1</sub> およびESS24<sub>1</sub> の構造および両サイドの位置が同じであるので、SON1の裏面側、SON2の表面側および裏面側に形成されるゲート構造のチャンネル長 (ゲート長) は同じになる。

## 【0081】

ESS24<sub>1</sub> , 24<sub>2</sub> の平面パターンは、図13 (a) に示すように、縦に長い長方形 (長辺方向がチャンネル幅方向、短辺方向がチャンネル長方向の長方形) であるが、他のパターンでも構わない。

## 【0082】

また、ESS24<sub>1</sub> , 24<sub>2</sub> の上面 (上壁) Sは、図13 (b) および図13 (c) に示すように、角部では湾曲しているが、他の部分では平坦になっている。ESS24<sub>1</sub> , 24<sub>2</sub> の上面Sはチャンネルが形成されるシリコン領域であるので、なるべく平坦であることが好ましい。

## 【0083】

また、ESS24<sub>1</sub> , 24<sub>2</sub> を形成するための熱処理の詳細は、特開2000-12858号公報に開示されているが、簡単に述べると以下の通りである。すなわち、ESS24<sub>1</sub> , 24<sub>2</sub> を形成するための熱処理は、例えば、水素雰囲気中またはシリコンが還元される雰囲気中での1050℃、30秒の熱処理である。

## 【0084】

また、上記熱処理により、ESS24<sub>1</sub>上のシリコン基板21の表面の高さが低下する場合には、シリコン基板21の表面を平滑する処理を行っても良い。この平滑処理（平坦化処理）は、例えば特開2001-144276号公報に詳細に開示されているが、簡単に述べると以下の通りである。すなわち、シリコン基板21の表面を平滑する処理は、例えば、CMPによりシリコン基板21の表面を平坦化する工程と、平坦化されたシリコン基板21の表面を酸化する工程とを含む。

## 【0085】

次に、図14に示すように、シリコン基板21上にシリコン窒化膜からなる素子分離溝形成用のマスクパターン25を形成する。マスクパターン25は、ESS24<sub>1</sub>、24<sub>2</sub>上のシリコン基板21の表面全体を覆うように形成するのではなく、その一部を残すように形成する。ここでは、図13(a)の平面図に示すように、ESS24<sub>1</sub>、24<sub>2</sub>の一部（チャンネル幅方向の両端部）が覆われないようにする。

## 【0086】

その後、図14に示すように、マスクパターン25をマスクにしてシリコン基板21をRIEプロセスによりエッチングし、素子分離溝(STI)26を形成する。素子分離溝26の形成後は、ESS24<sub>1</sub>、24<sub>2</sub>は閉じた空洞（空間）ではなく、開いた空洞（空間）となる。ESS24<sub>1</sub>、24<sub>2</sub>のチャンネル幅方向の端部の上壁が素子分離溝26によって開口される。

## 【0087】

ここで、本実施形態の素子分離溝26は、従来とは異なり、その一部の底の深さが異なっている。具体的には、マスクパターン25で覆われていないESS24<sub>2</sub>下の領域Tの底が他の領域よりも深くなる。これは、エッチングの際に、マスクパターン25で覆われていないESS24<sub>2</sub>下の部分が、ESS24<sub>1</sub>、24<sub>2</sub>の深さ分だけ予めエッチングされているのと同じ状態であるからである。

## 【0088】

この段階では、MOSFETはまだ完成してないので、本実施形態の素子分離溝26（素子分離領域）をESS24<sub>1</sub>、24<sub>2</sub>の関係で説明したが、MOSF

E T の完成後は、本実施形態の素子分離領域はM O S F E T 周囲の素子分離溝 2 6 において、その一部の領域が他の領域よりも底が深くなっているという構成を備えていると説明できる。

## 【 0 0 8 9 】

次に、図 1 5 に示すように、H D P - C V D 法などの異方性のある堆積方法により、素子分離溝 2 6 の埋込み部材として、シリコン酸化膜 2 7 (絶縁体) を全面に堆積する。

## 【 0 0 9 0 】

次に、図 1 6 に示すように、CMP プロセスにより、素子分離溝 2 6 の外部のシリコン酸化膜 2 7 を除去し、続いて、マスクパターン 2 5 を除去するとともに、シリコン基板 2 1 上を平坦にする。マスクパターン 2 5 はエッチングにより除去することも可能である。

## 【 0 0 9 1 】

このようにして、次工程で形成されるM O S F E T を他の素子 (例えば、他のダブルゲート構造を含むM O S F E T) と分離するための素子分離領域が完成する。

## 【 0 0 9 2 】

ここで、図 1 6 から分かるように、E S S 2 4<sub>1</sub> , 2 4<sub>2</sub> の両側において、シリコン酸化膜 2 7 が埋め込まれていない領域が残る。これは、異方性のある堆積方法により、シリコン酸化膜 2 7 を堆積したからある。E S S 2 4<sub>1</sub> , 2 4<sub>2</sub> の両側にシリコン酸化膜 2 7 が埋め込まれない領域 (隙間) ができるのであれば、等方性の成膜法によりシリコン酸化膜 2 7 を形成しても構わない。

## 【 0 0 9 3 】

次に、図 1 7 に示すように、公知の熱酸化法により、シリコン基板 2 1 の表面上にゲート絶縁膜 (熱酸化膜) 2 8 を形成する。

## 【 0 0 9 4 】

ゲート絶縁膜 2 8 は、図 1 7 に示されるシリコンの露出した全領域に形成されるため、S O N 1 および S O N 2 の上面、側面および下面、ならびに E S S 2 4<sub>2</sub> の下面 (底部) のいずれにも同様に形成される。S O N 1 および S O N 2 の下

面は、言い換えれば、 $ESS24_1$  および  $ESS24_2$  の上面（上壁）である。

【0095】

このように本実施形態によれば、シリコン基板 21 上のゲート絶縁膜（上部ゲート絶縁膜）とシリコン基板 21 内のゲート絶縁膜（下部ゲート絶縁膜）とを同一のプロセスにより同時に形成でき、プロセスの簡略を図れるようになる。

【0096】

ここでは、ゲート絶縁膜 28 としては熱酸化膜を用いたが、ラジカルを用いた方法で形成されたシリコン酸化膜、あるいは窒素も含んだシリコン酸窒化膜（SiON 膜）を用いても構わない。さらに、MOSFET の SON1, 2 の上面および下面に熱酸化膜を同時に形成し、その後、例えば SON1 の上面のみに窒化処理を行うなどすることも可能である。すなわち、SON1 の下面、ならびに SON2 の上面および下面に熱酸化膜を形成し、SON1 の上面に SiON 膜を形成しても構わない。

【0097】

なお、下部ゲート絶縁膜は、 $ESS24_1$  の上面、ならびに  $ESS24_2$  の上面および下面にあれば十分であり、 $ESS24_1$ ,  $24_2$  の内壁全体を塞ぐ必要はない。言い換えれば、下部ゲート絶縁膜は、SON1 の下面、ならびに SON2 の上面および上面にあれば十分である。

【0098】

次に、図 18 に示すように、ゲート絶縁膜 28 上に、ゲート電極となる不純物を含む多結晶シリコン膜 29 を CVD 法により堆積する。

【0099】

多結晶シリコン膜 29 の堆積時には、 $ESS24_1$ ,  $24_2$  の両側のシリコン酸化膜 27 が埋め込まれない領域（隙間）から  $ESS24_1$ ,  $24_2$  内に Si 原料ガスが導入する。その結果、 $ESS24_1$ ,  $24_2$  の内壁（ゲート絶縁膜 28）上にも多結晶シリコン膜 29 は堆積する。この  $ESS24_1$ ,  $24_2$  の内壁上における多結晶シリコン膜 29 の堆積は、上記隙間が多結晶シリコン膜 29 で塞がれるまで行われる。

【0100】

このように本実施形態によれば、上部ゲート電極および下部ゲート電極となる多結晶シリコン膜 2 9 を同一のプロセスにより同時に形成でき、プロセスの簡略を図れるようになる。

#### 【 0 1 0 1 】

通常、多結晶シリコン CVD のプロセス条件では、 $ESS24_1$ 、 $24_2$  は完全には多結晶シリコン膜 2 9 によって埋め込まれることはない。したがって、 $ESS24_1$ 、 $24_2$  の一部はそのまま埋め込まれず最後まで残る。 $ESS24_1$ 、 $24_2$  の未充填部分（下部ゲート電極および下部ゲート絶縁膜により満たされてない空間）は、例えば、リーク電流の軽減化に寄与する。多結晶シリコン膜 2 9 のプロセス条件によっては、 $ESS24_1$ 、 $24_2$  を完全に埋め込むことも可能である。

#### 【 0 1 0 2 】

なお、多結晶シリコン膜 2 9 中への不純物のドーピング方法は、通常と同様で構わない。例えば、イオン注入法を用いた場合など、バックゲート側にはイオンは注入されないが、多結晶シリコン中の不純物の拡散係数は単結晶シリコン中のそれよりも約 1 0 0 倍速いため、イオン注入後に熱処理を行うことで、バックゲート側にも不純物が高濃度に添加された低抵抗の多結晶シリコン膜 2 9 を形成することができる。あるいは、多結晶シリコン膜 2 9 の堆積時に不純物をドーピングする方法を用いてもよい。

#### 【 0 1 0 3 】

次に、図 1 9 に示すように、多結晶シリコン膜 2 9 を図示しないレジストパターンをマスクにしてエッチングし、ゲート電極を形成する。このとき、シリコン基板 2 1 上の多結晶シリコン膜 2 9 と  $ESS24_1$ 、 $24_2$  内の多結晶シリコン膜 2 9 とが分断されないようにする。

#### 【 0 1 0 4 】

このように本実施形態によれば、上部ゲート電極を形成するための多結晶シリコン膜 2 9 のパターニング工程と、下部ゲート電極を形成するための多結晶シリコン膜 2 9 のパターニング工程とが同じパターニング工程となるので、プロセスの簡略を図れるようになる。



## 【0105】

この後は、図19に示すように、イオン注入とアニールによってソース／ドレイン領域30を形成する工程等の周知のMOSFETプロセスを経ることで、ダブルゲート構造を含むMOSFETが完成する。ソース／ドレイン領域30の深さは、SON2の上面よりも深くする。

## 【0106】

このように本実施形態によれば、シリコン基板21上のゲート構造（上部ゲート構造）と、シリコン基板21内のゲート構造（下部ゲート構造）とを共通のプロセスで同時に形成でき、上部ゲート構造と下部ゲート構造をそれぞれ別のプロセスで形成する従来方法に比べて、極めて簡単なプロセスで、ダブルゲート構造を含むMOSトランジスタを実現できるようになる。

## 【0107】

また、本実施形態のように空洞数が2のMOSトランジスタの場合、SON1の上面に第1のチャネル、SON1の下面に第2のチャネル、SON2の上面に第3のチャネル、SON4の下面に第4のチャネルが形成される。一方、空洞数が1のMOSトランジスタの場合（第1の実施形態）、SONの上面および下面にそれぞれ第1および第2のチャネルが形成される。したがって、本実施形態のMOSトランジスタは、空洞数が1のMOSトランジスタに比べて、概略2倍のドレイン電流が流れる。

## 【0108】

また、上述した通り、SON1の裏面側、SON2の表面側および裏面側に形成されるゲート構造のチャネル長（ゲート長）は同じになる。すなわち、通常のMOSトランジスタにもある基板上のゲート構造を除いた、基板内のゲート構造により上下方向に形成される第2～第4のチャネルは、チャネル長方向およびチャネル幅方向に関して対称性を有する。これは素子特性の向上につながる。

## 【0109】

また、本実施形態によれば、図18の多結晶シリコン膜29の堆積時に、MOSFET周囲の素子分離溝26のうち、底が深くなっている領域内に多結晶シリコン膜29が堆積される。上記多結晶シリコン膜29下の素子分離溝26内には

シリコン酸化膜 27 の一部が設けられている。

【0110】

その結果、SON1 および SON2 の側面上のゲート絶縁膜 8 上に多結晶シリコン膜 29（側部ゲート電極）が形成される。これにより、SON1 および SON2 の側壁にもチャンネルが形成されることになる。

【0111】

したがって、もともとはダブルゲート構造の形成を目的としたプロセスによって、結果的に、SON1 および SON2 周囲のシリコン領域（シリコン基板 1）がゲート絶縁膜およびゲート電極で包み込まれる構造、つまりゲートオールアラウンド構造を含む MOS トランジスタが形成される。

【0112】

ただし、本実施形態の場合、SON1 および SON2 周囲のシリコン領域（シリコン基板 21）の全てが、ゲート絶縁膜およびゲート電極で包み込まれるタイプのゲートオールアラウンド構造ではない。すなわち、チャンネル幅方向の断面における SON1 および SON2 周囲のシリコン領域（シリコン基板 21）が、ゲート絶縁膜およびゲート電極で包み込まれるタイプのゲートオールアラウンド構造である。

【0113】

なお、純粹のダブルゲート構造は、例えば、SON1 および SON2 の側壁上の多結晶シリコン膜 9 を例えばエッチングにより除去することにより得られる。

【0114】

このように本実施形態によれば、MOSFET の活性領域（SON1 および SON2）の上面および下面のみならず、側面にもチャンネルが形成されるので、電流駆動能力の向上が図れる。

【0115】

また、本実施形態によれば、SON1 および SON2 の上面のゲート電極 29（上部ゲート電極）および下面のゲート電極 29（下部ゲート電極）が、図 19 に示すように、ダブルゲート構造を含む MOSFET の両側の二つのコンタクトホール 31 にて 2 箇所で繋がっていることにより、ゲートの寄生抵抗の低減化を

図れる。

【0116】

また、本実施形態によれば、上部ゲート電極と下部ゲート電極とを繋ぐコンタクトホール31を自己整合的に形成することができるので、合わせずれ対策用の領域を確保する必要がない。すなわち、本実施形態のダブルゲート構造の導入に際して、チップ面積の増加の問題はない。

【0117】

なお、上部ゲート電極と下部ゲート電極は一体形成されたものであるが、それぞれ物理的に別のものとすることも可能である。ただし、この場合、上部ゲート電極と下部ゲート電極に同じ電圧を同時に印加するための構造を形成する必要がある。

【0118】

したがって、基本的には、上部ゲート電極および下部ゲート電極は、一体形成されたものであることが好ましい。このような一体形成されたゲート電極29は、上述したように、本実施形態の方法で容易に形成することができる。

【0119】

また、本実施形態のダブルゲート構造を含むMOSFETおよび従来のバルクMOSFETの $I_d-V_g$ 特性を調べたところ、ドレイン電流値が約3.8倍となっていることが確認された。

【0120】

本実施形態のダブルゲート構造を含むMOSFETのドレイン電流が、従来のバルクMOSFETのその4倍とならなかった理由としては、バックゲート側のゲート長が実効的に長めであったこと、あるいはバックゲート側のゲート電極29の不純物濃度が十分に高くなく、ゲート電極（多結晶シリコン膜）29の空乏化により実効的なゲート絶縁膜厚が厚くなったことなどが考えられる。

【0121】

本実施形態でも、第1の実施形態と同様の変形が可能である。さらに、本実施形態では、2層の空洞を用いたダブルゲート構造を含むMOSFETについて説明したが、3層以上の空洞を用いたダブルゲート構造あるいはオールアラウンド

構造を含むMOSFETについても同様に実施できる。

【0122】

なお、第1および第2の実施形態では、チャネルタイプについては特に言及しなかったが、本発明はnチャネルおよびpチャネルのいずれのダブルゲート型MOSFETにも適用できる。基本的には、ソース／ドレイン領域等において使用されるドーパントのタイプを、nチャネルとpチャネルとでは逆にすれば良い。

【0123】

また、nチャネルおよびnチャネルのダブルゲート型MOSFETを同一基板上に形成しても構わない。さらに、nチャネルおよびnチャネルのダブルゲート型MOSFETにより、CMOSを構成しても構わない。

【0124】

また、本発明が適用されたダブルゲート型MOSFETは、DRAM等のメモリにおけるスイッチング素子にも使用することもできる。

【0125】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0126】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0127】

【発明の効果】

以上詳説したように本発明によれば、容易に形成することができるマルチゲート構造を含む半導体装置およびその製造方法を実現できるようになる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るダブルゲート構造を含むMOSFETの製造工程を示す平面図および断面図。

【図2】 図1に続く同実施形態のダブルゲート構造を含むMOSFETの

製造工程を示す平面図および断面図。

【図 3】 図 2 に続く同実施形態のダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 4】 図 3 に続く同実施形態のダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 5】 図 4 に続く同実施形態のダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 6】 図 5 に続く同実施形態のダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 7】 図 6 に続く同実施形態のダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 8】 図 7 に続く同実施形態のダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 9】 実施形態のダブルゲート構造を含む MOSFET および従来のバルク MOSFET の  $I_d - V_g$  特性を示す図。

【図 10】 実施形態のダブルゲート構造を含む MOSFET の変形例を示す平面図。

【図 11】 実施形態のダブルゲート構造を含む MOSFET の他の変形例を示す平面図。

【図 12】 本発明の第 2 の実施形態に係るダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 13】 図 12 に続く同実施形態のダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 14】 図 13 に続く同実施形態のダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 15】 図 14 に続く同実施形態のダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 16】 図 15 に続く同実施形態のダブルゲート構造を含む MOSFET の製造工程を示す平面図および断面図。

【図 1 7】 図 1 6 に続く同実施形態のダブルゲート構造を含む MOS F E T の製造工程を示す平面図および断面図。

【図 1 8】 図 1 7 に続く同実施形態のダブルゲート構造を含む MOS F E T の製造工程を示す平面図および断面図。

【図 1 9】 図 1 8 に続く同実施形態のダブルゲート構造を含む MOS F E T の製造工程を示す平面図および断面図。

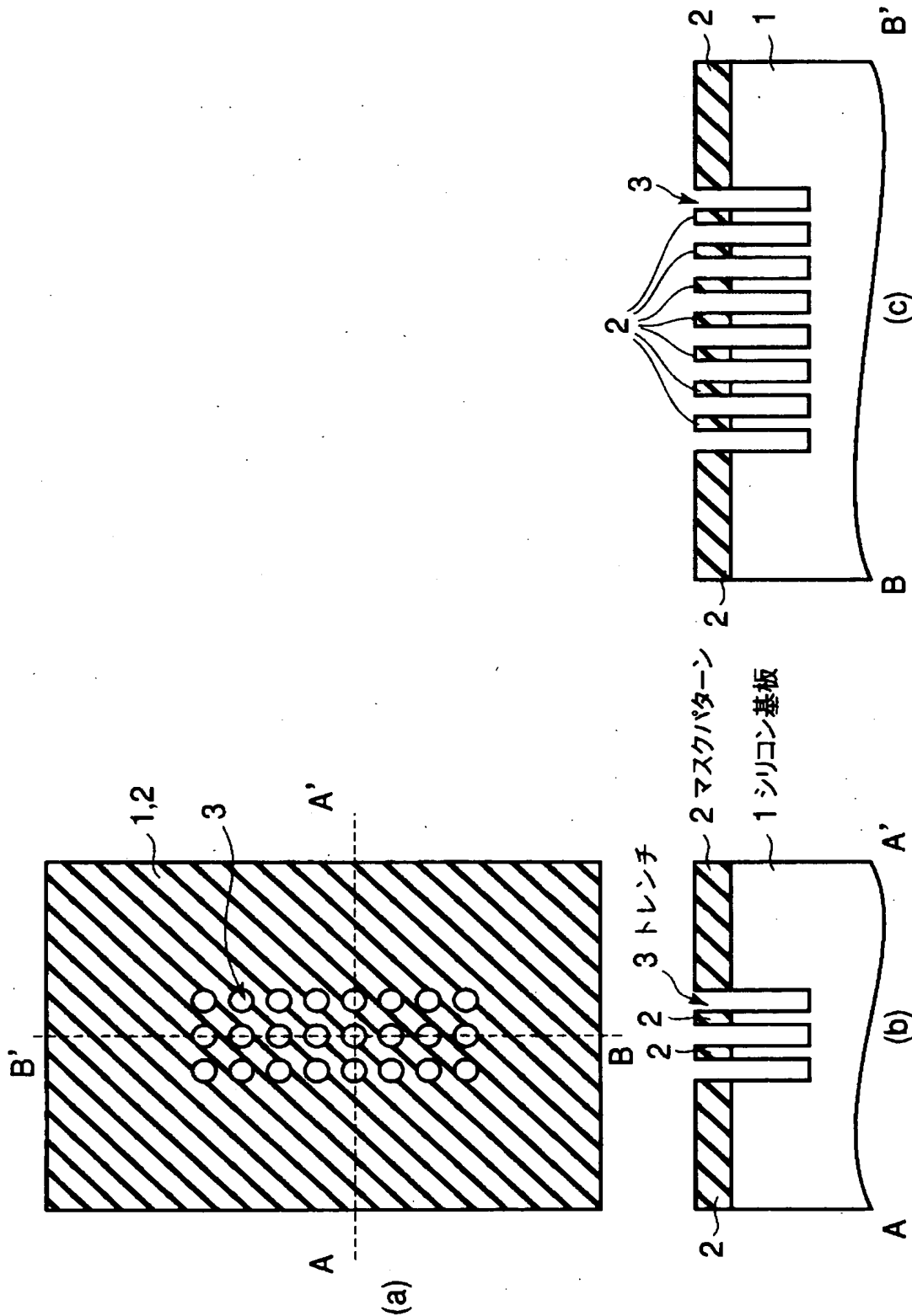
【符号の説明】

1, 2 1 …シリコン基板、2, 2 2 …マスクパターン、3, 2 3 …トレンチ、  
4, 2 4<sub>1</sub>, 2 4<sub>2</sub> …空洞、5, 2 5 …マスクパターン、6, 2 6 …素子分離溝、  
7, 2 7 …シリコン酸化膜、8, 2 8 …ゲート絶縁膜、9, 2 9 …ゲート電極、  
1 0, 3 0 …ソース／ドレイン領域、1 1, 3 1 …コンタクトホール。

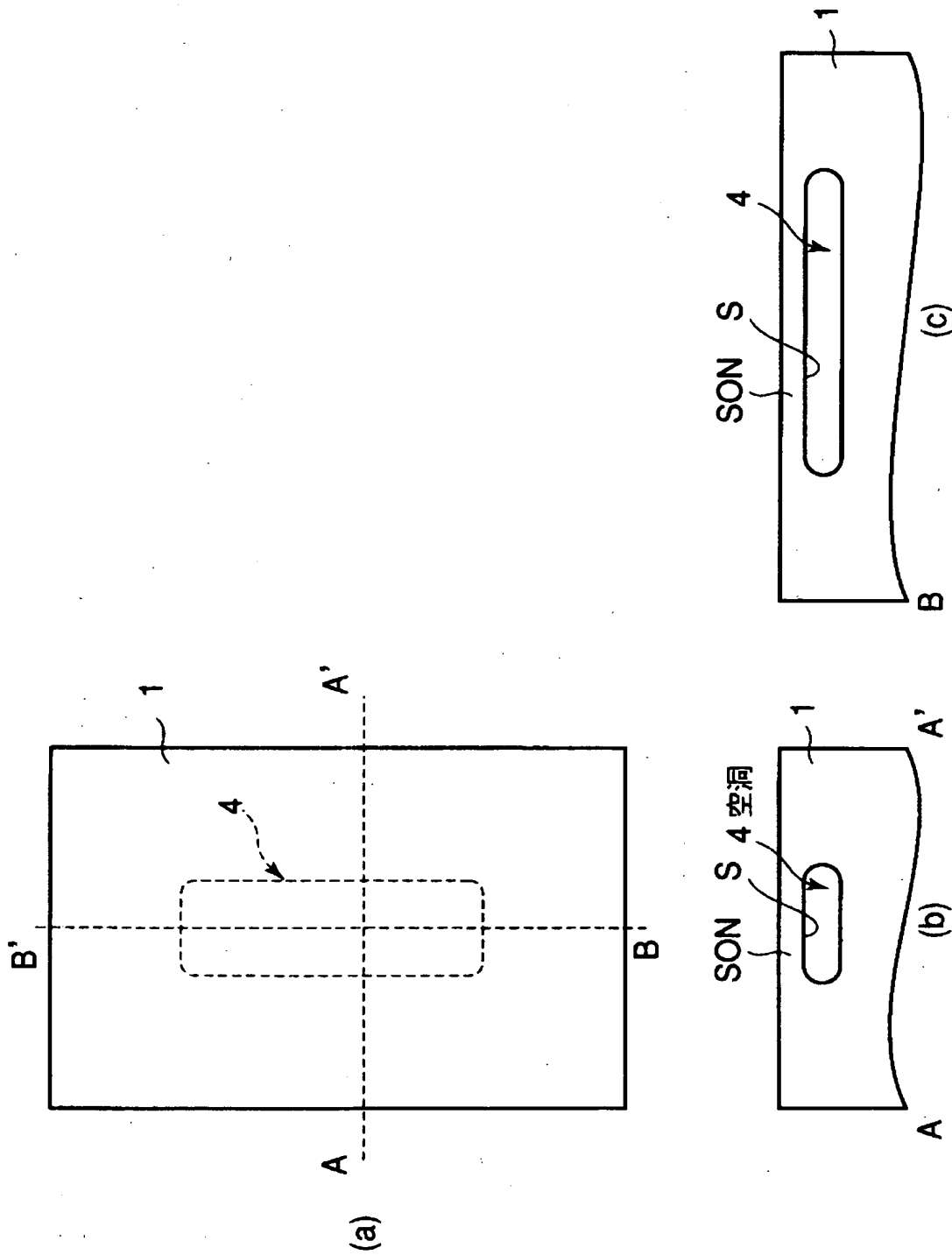
【書類名】

図面

【図 1】

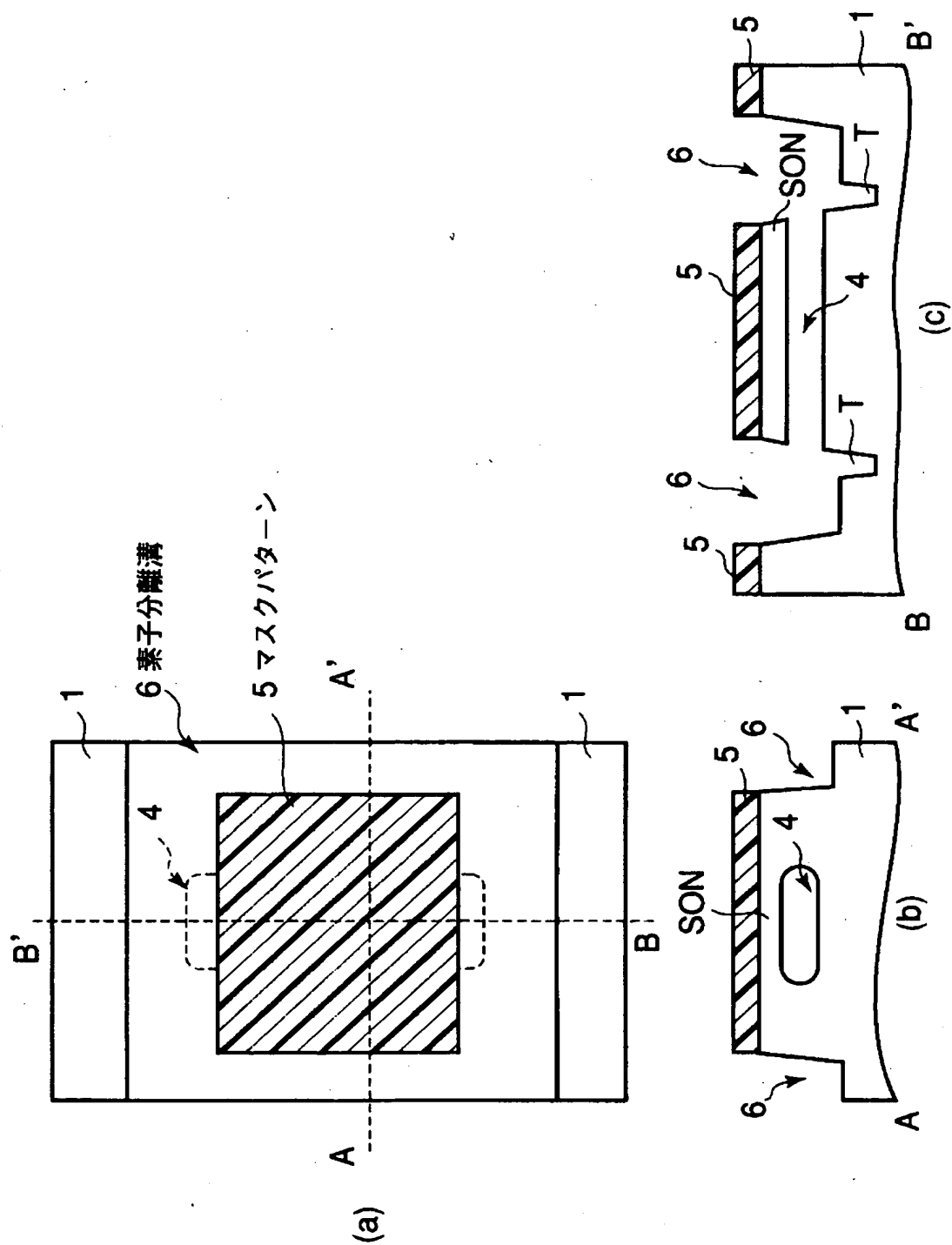


【図2】

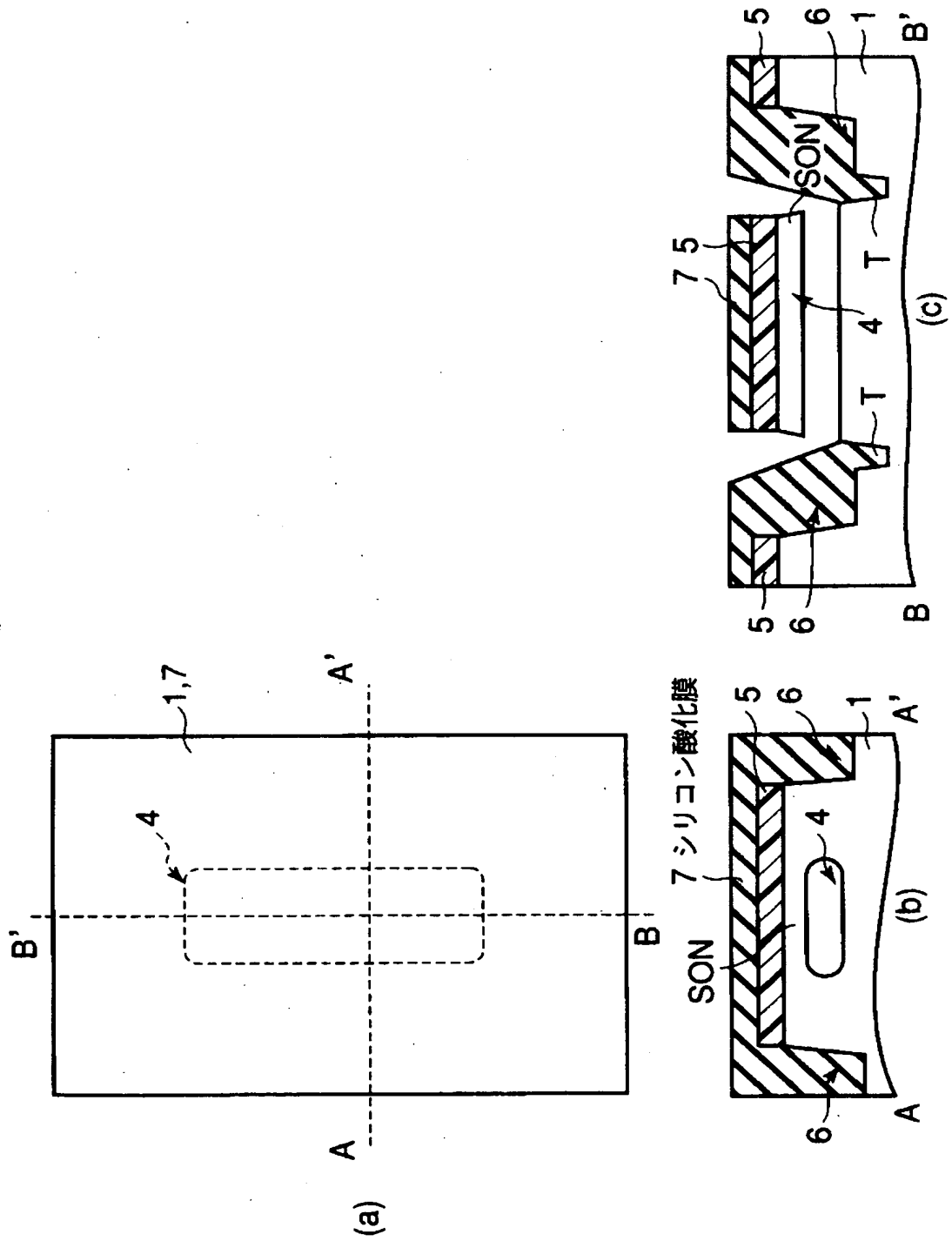




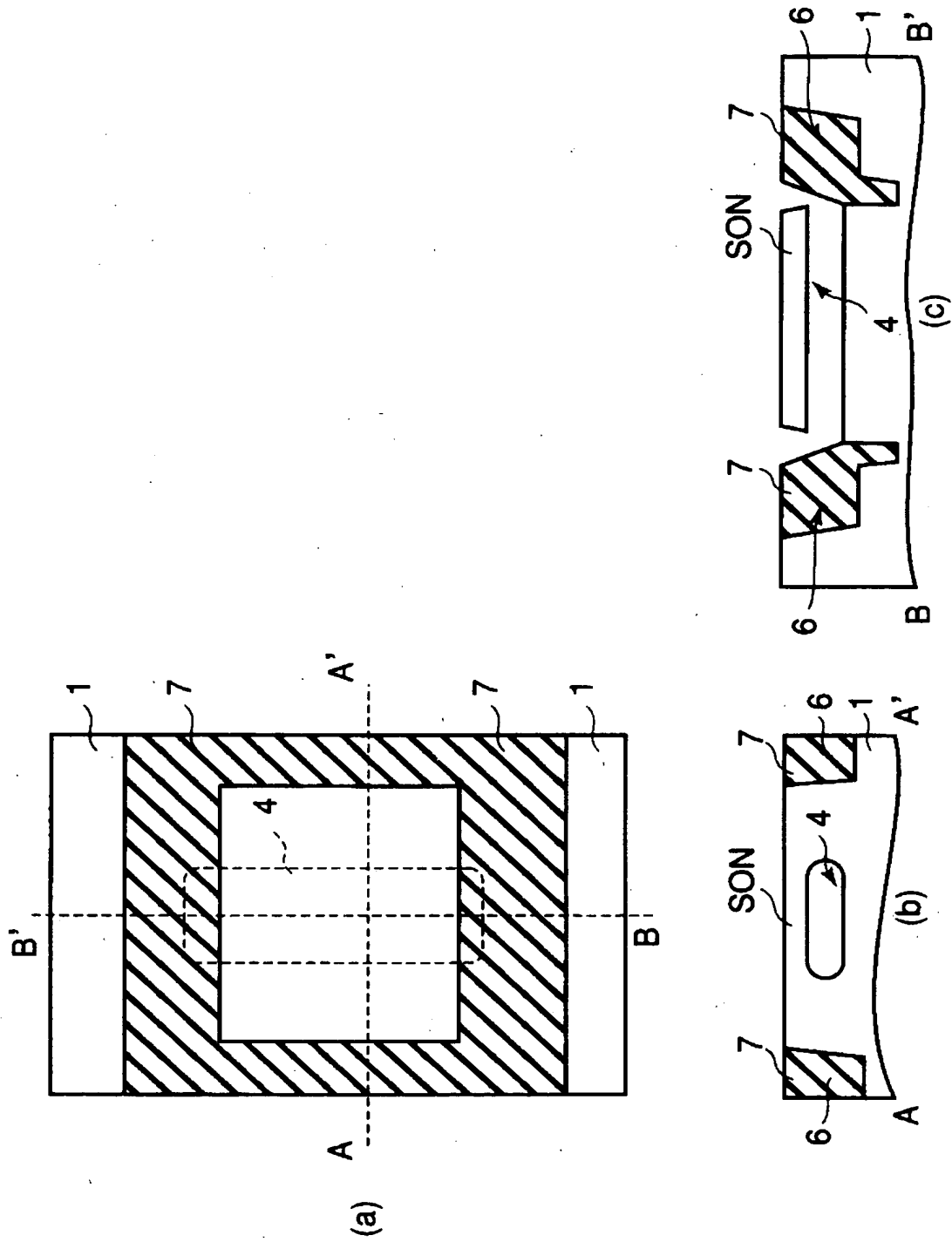
【図 3】



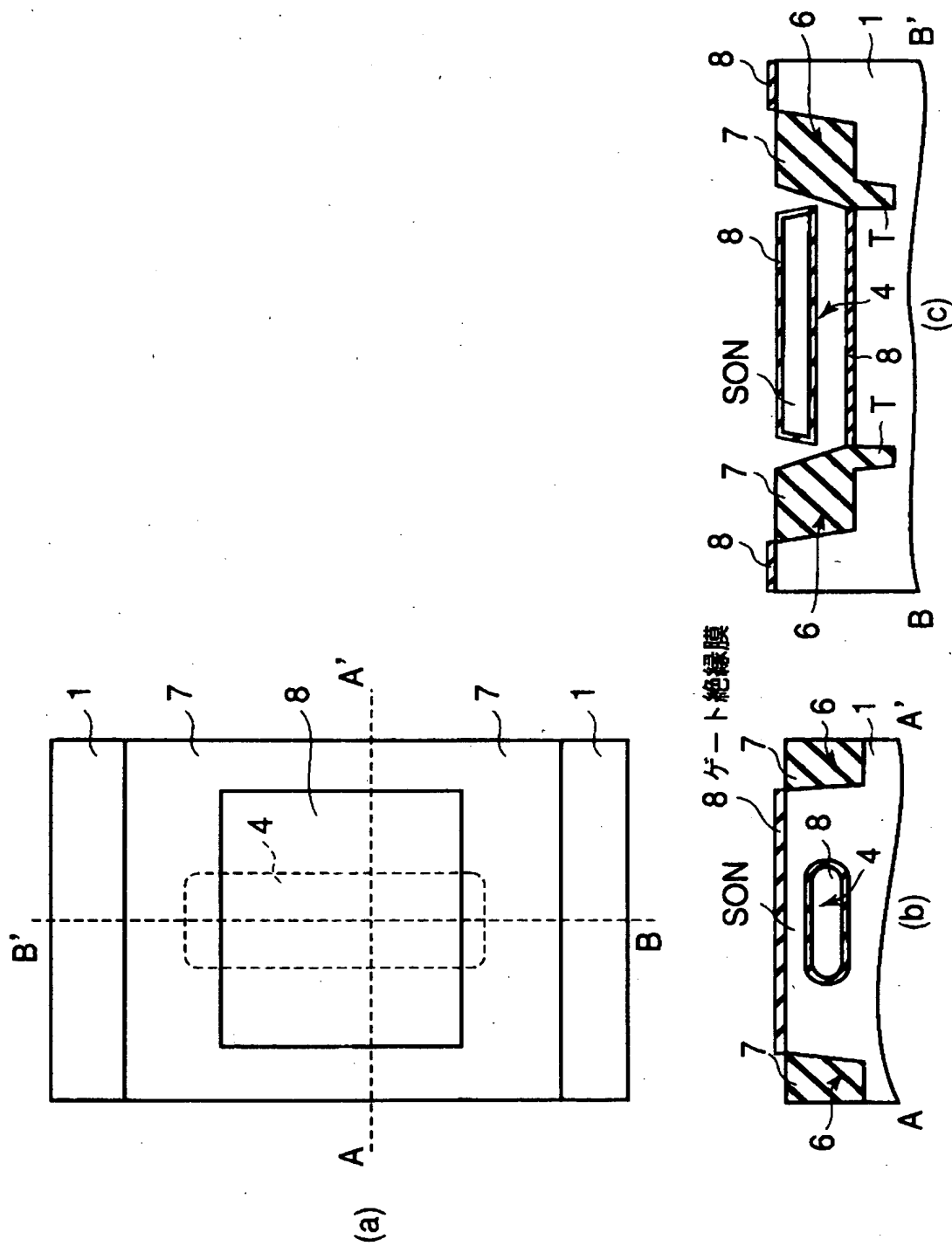
【図 4】



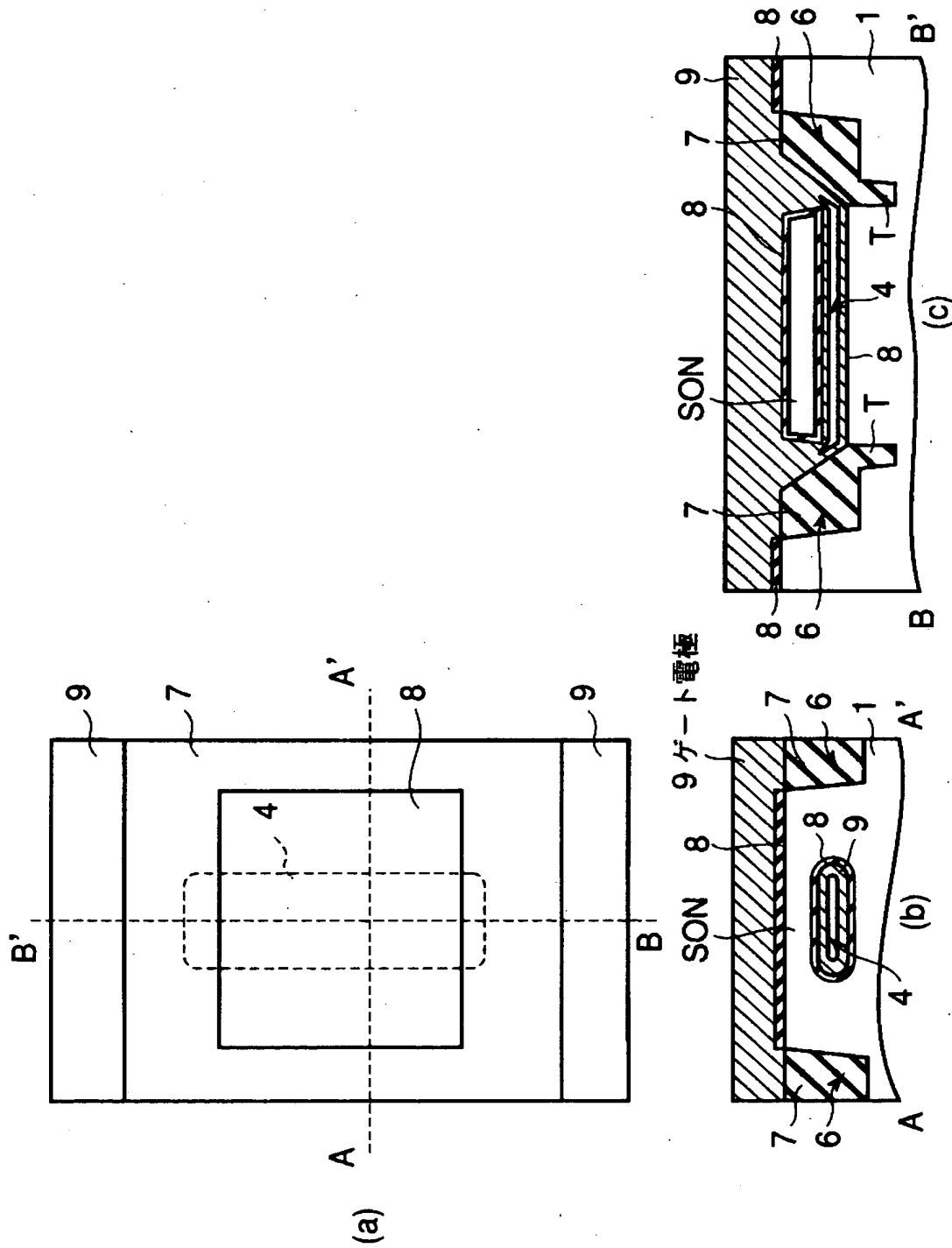
【図 5】



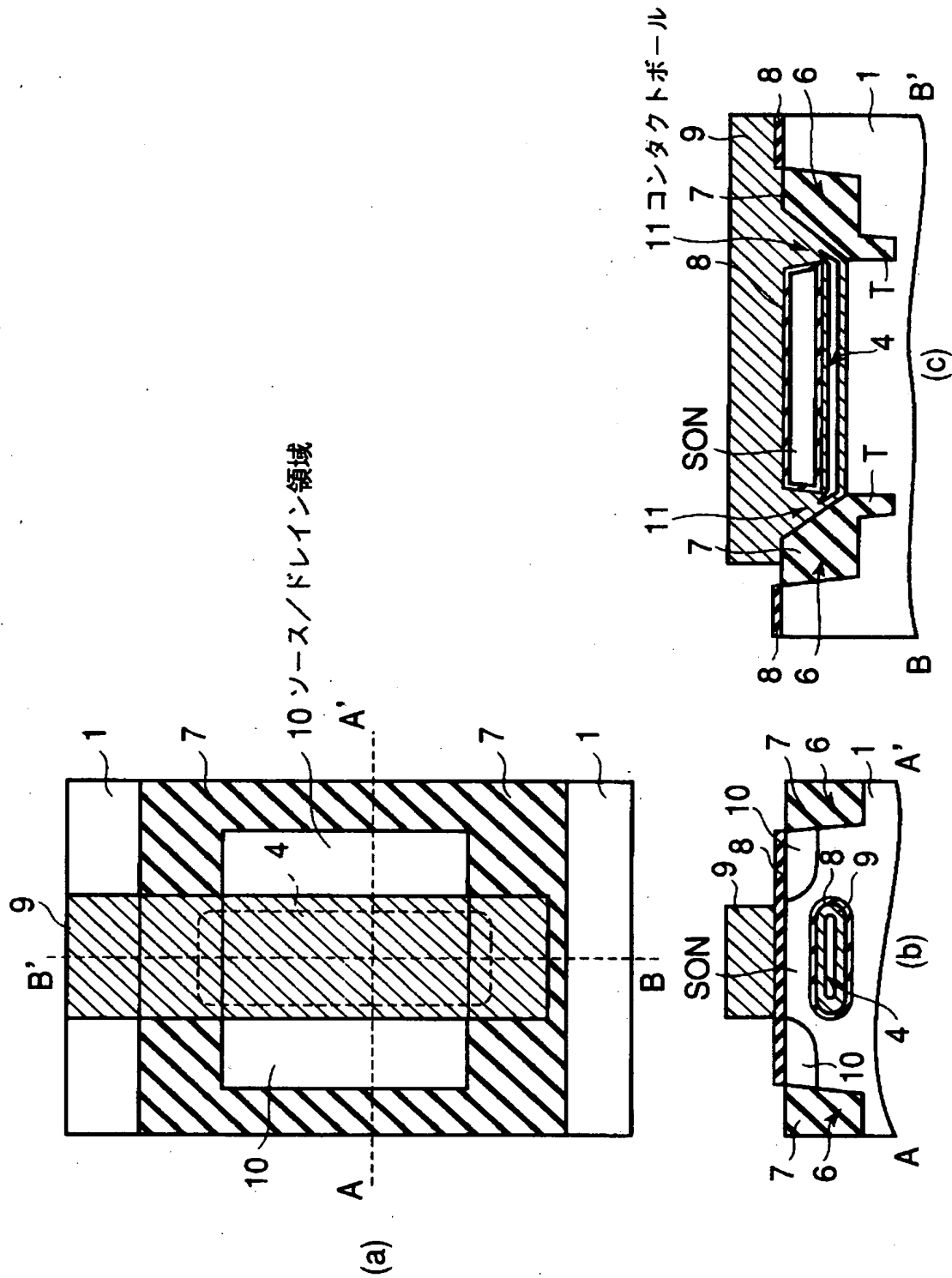
【図 6】



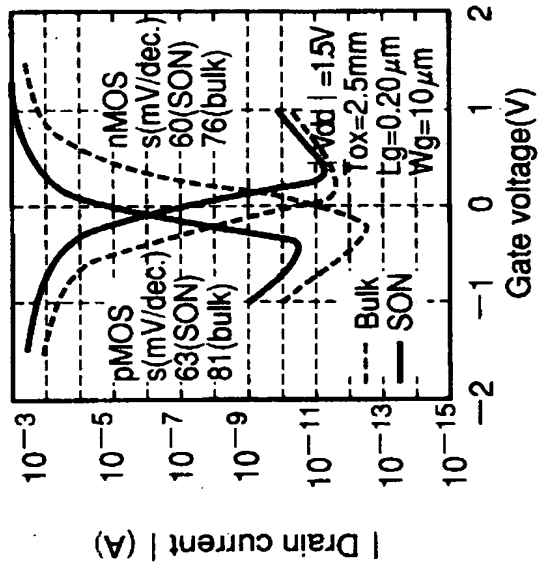
【図 7】



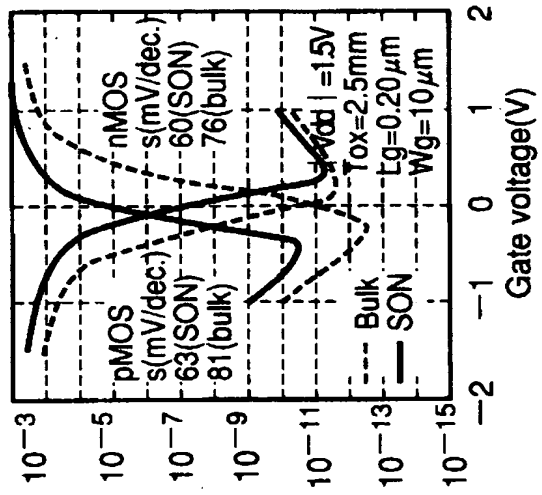
【図 8】



【図 9】

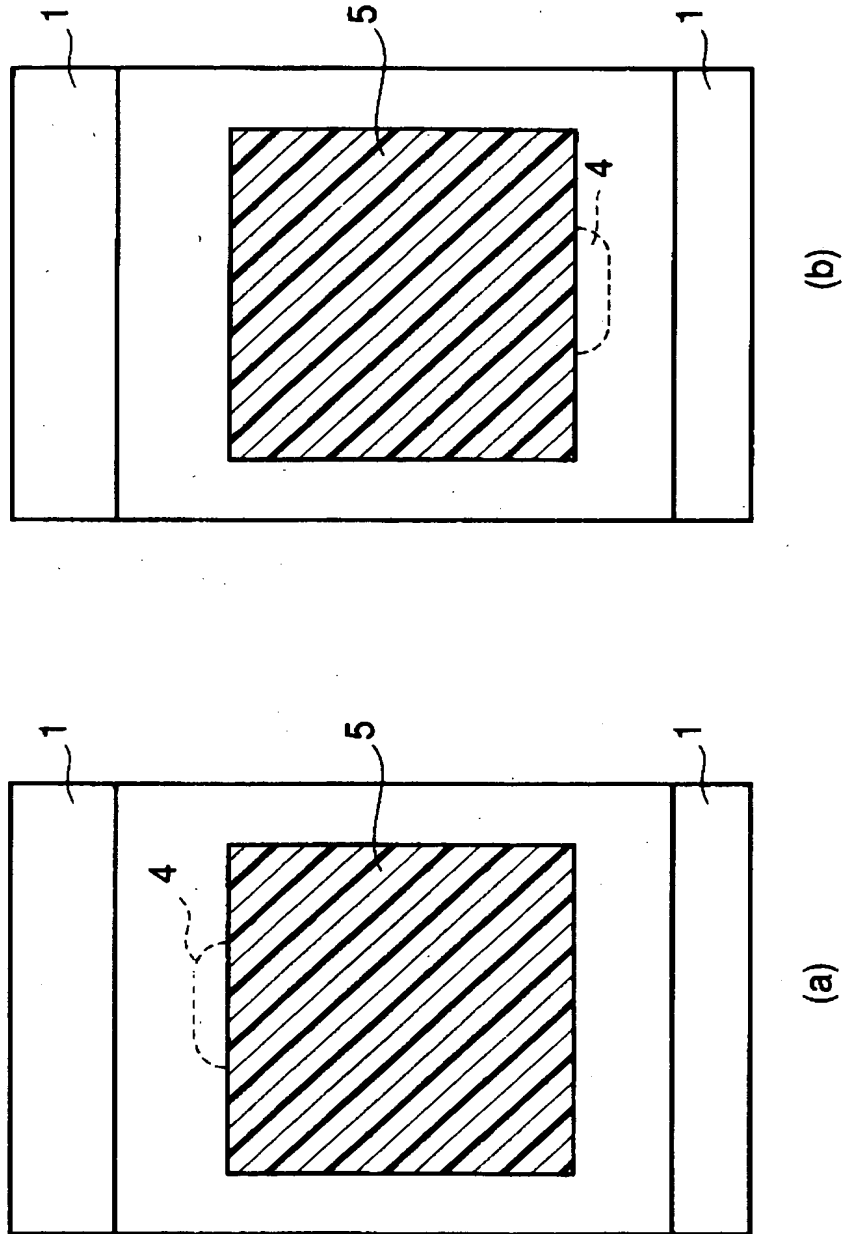


(a)



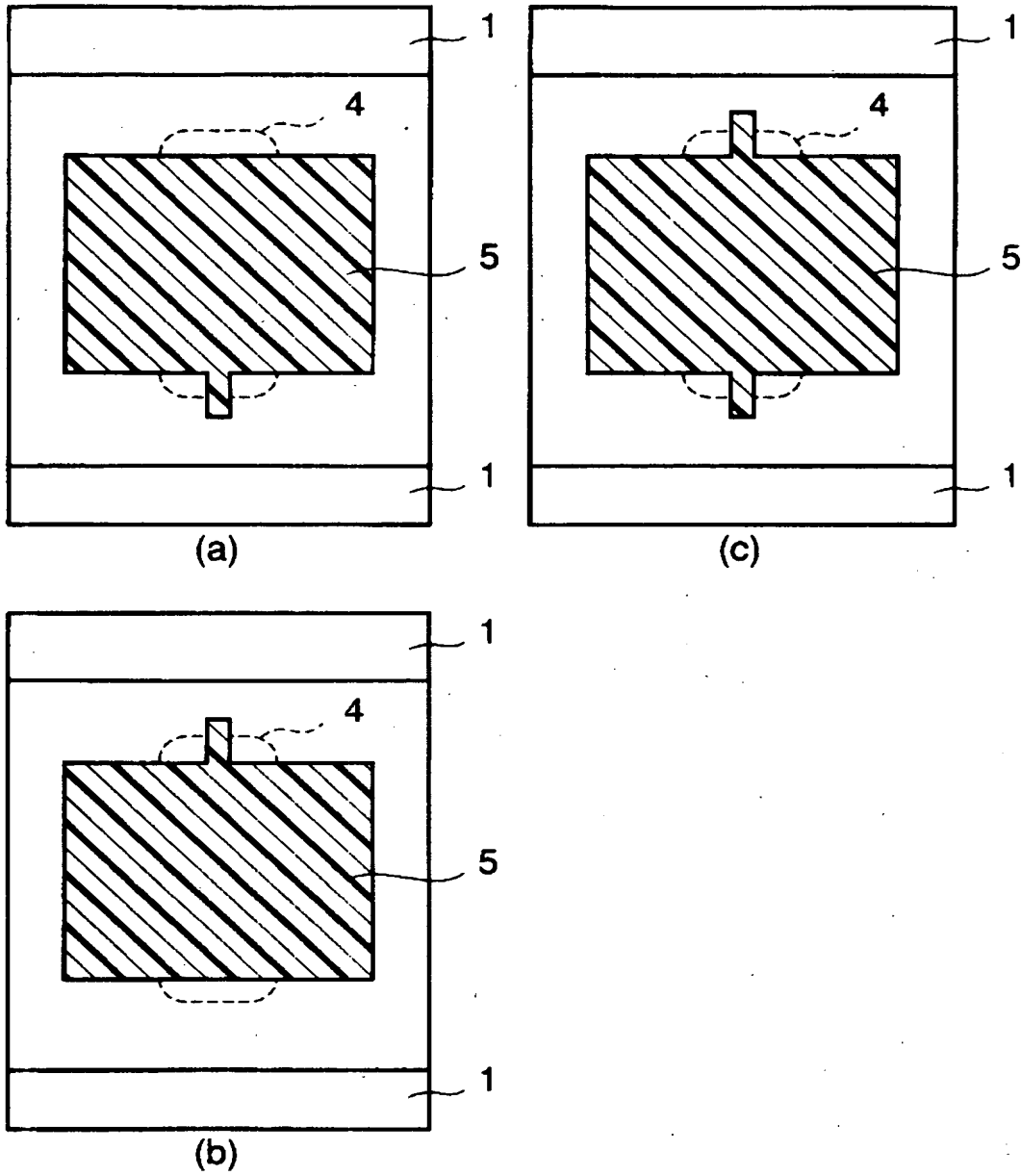
(b)

【図 1 0】

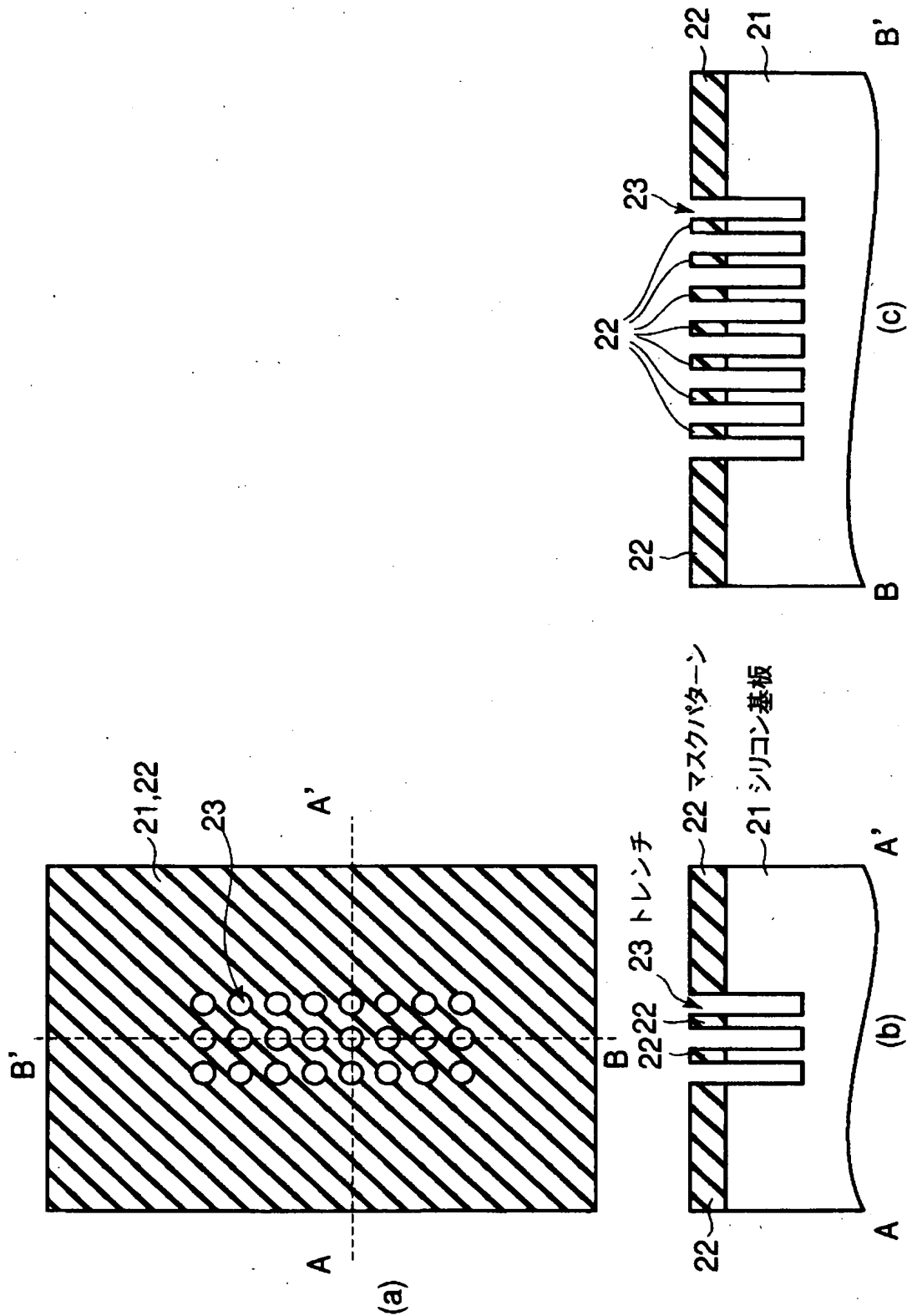




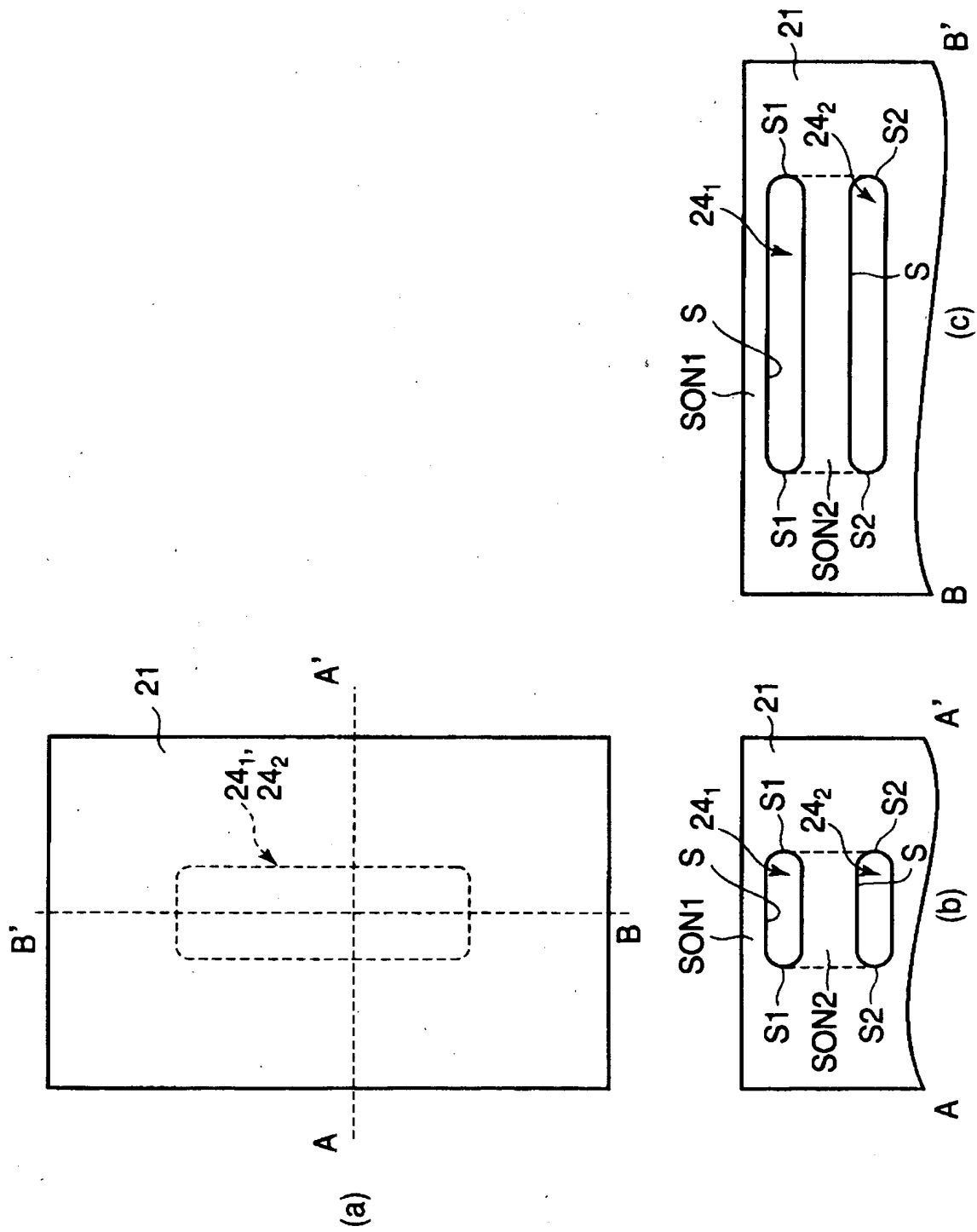
【図 1 1】



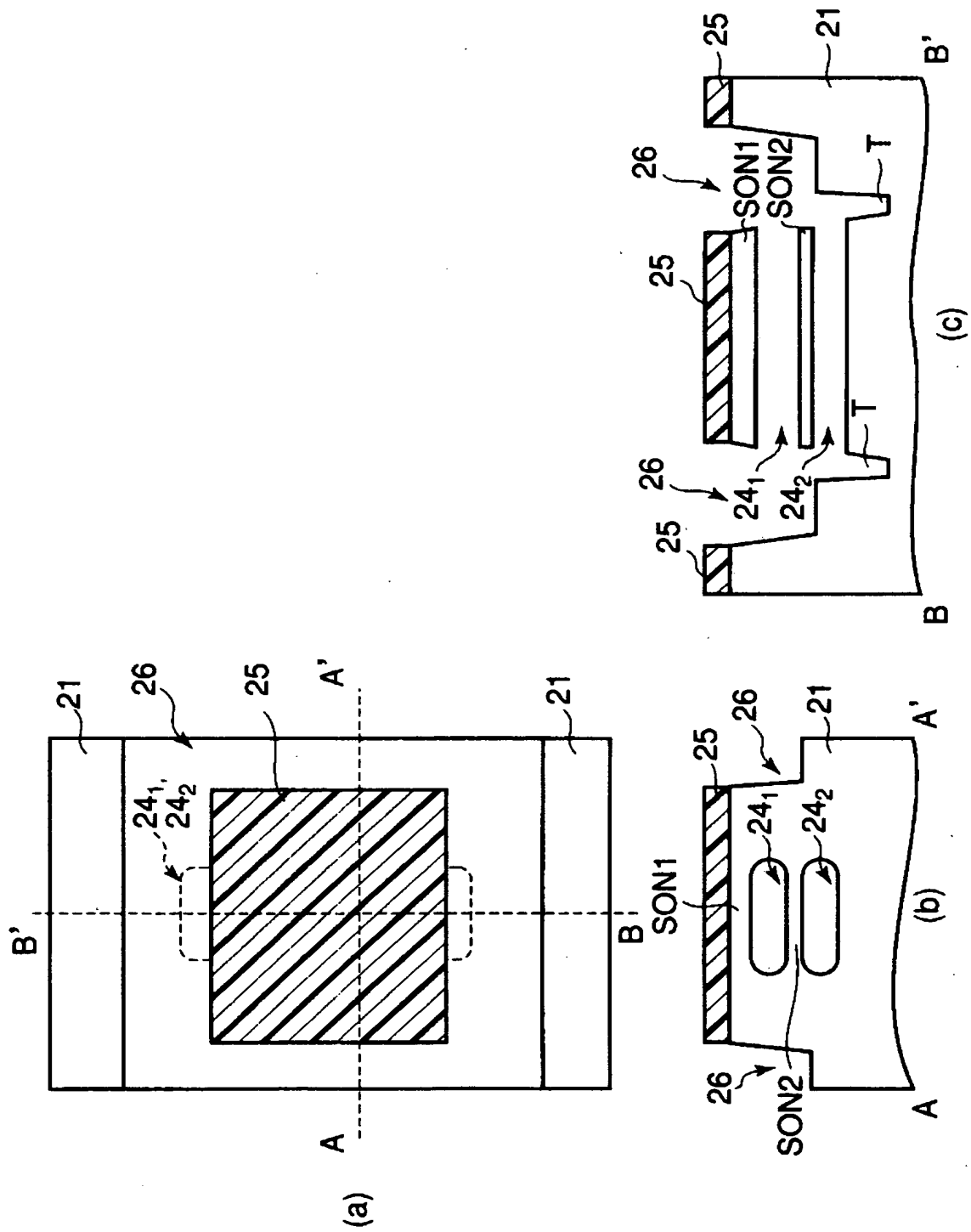
【図 12】



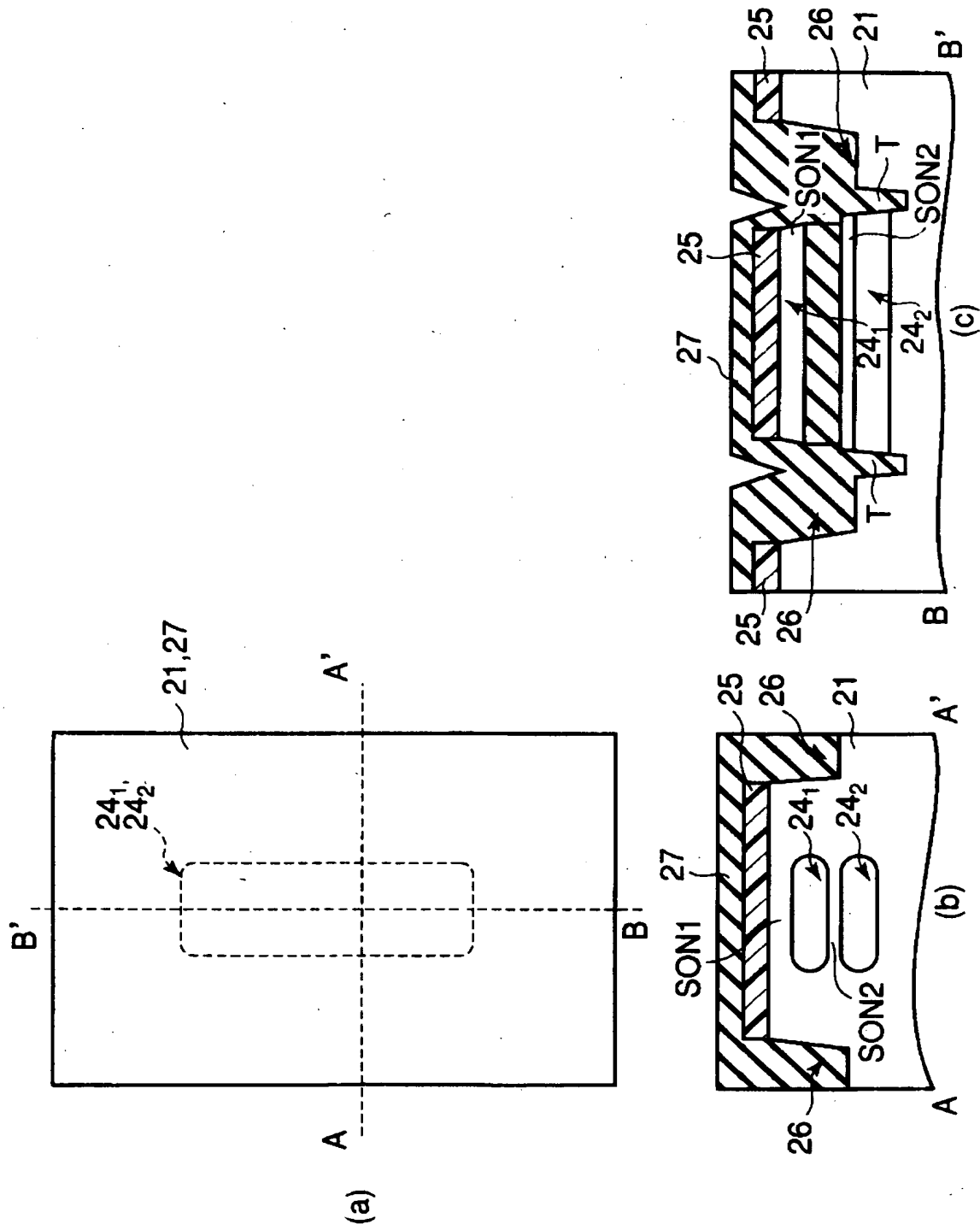
【図 13】



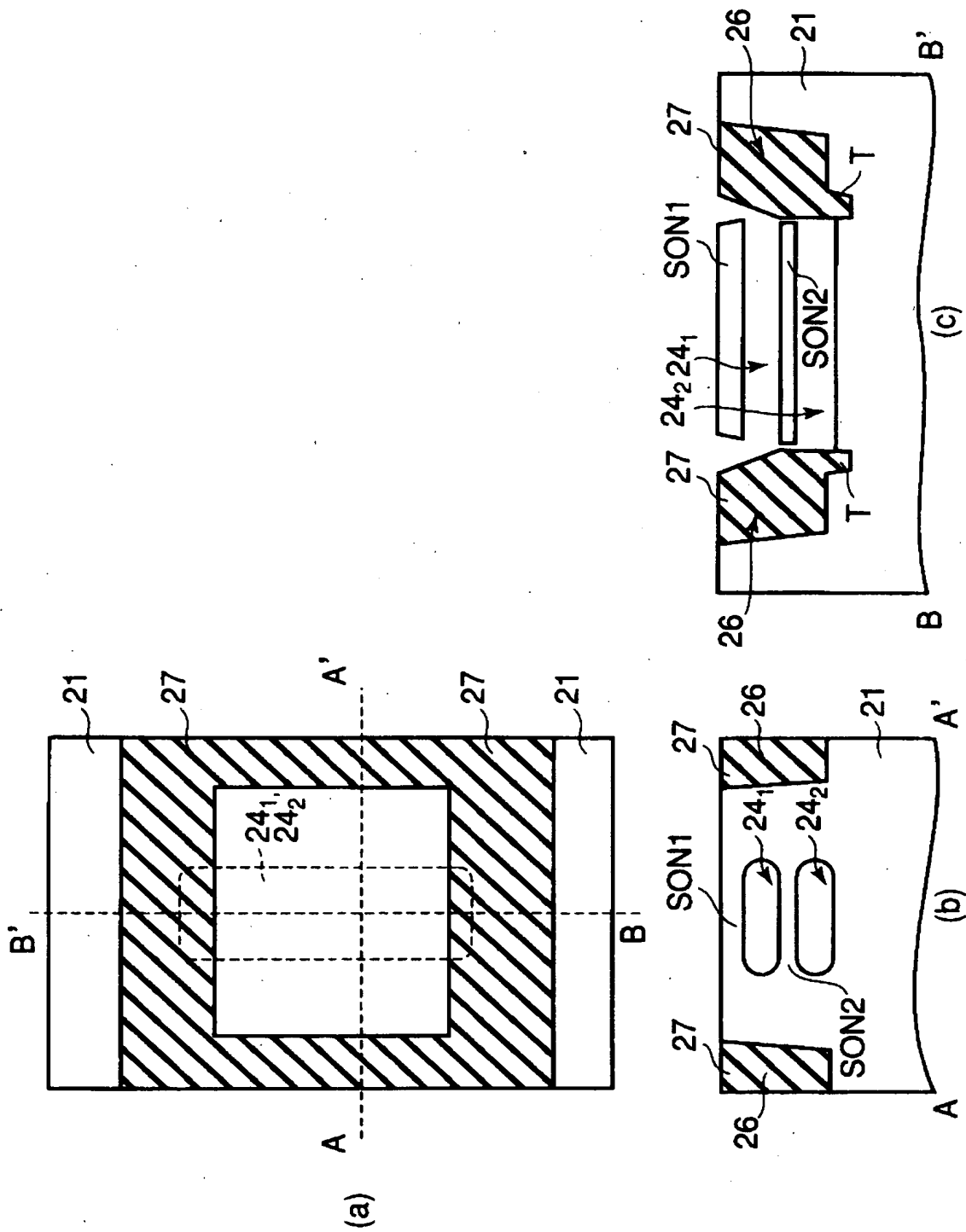
【図 14】



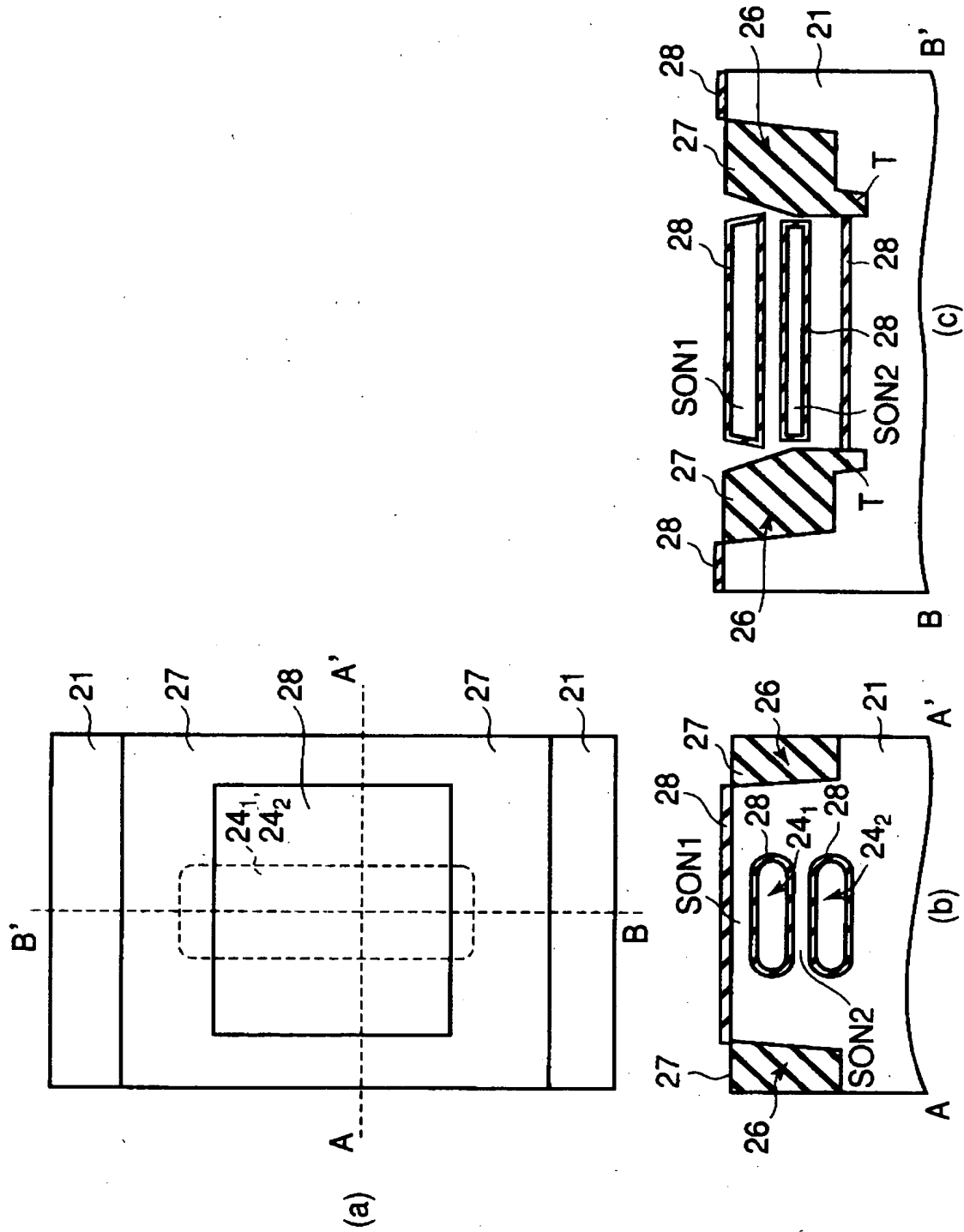
【図 15】



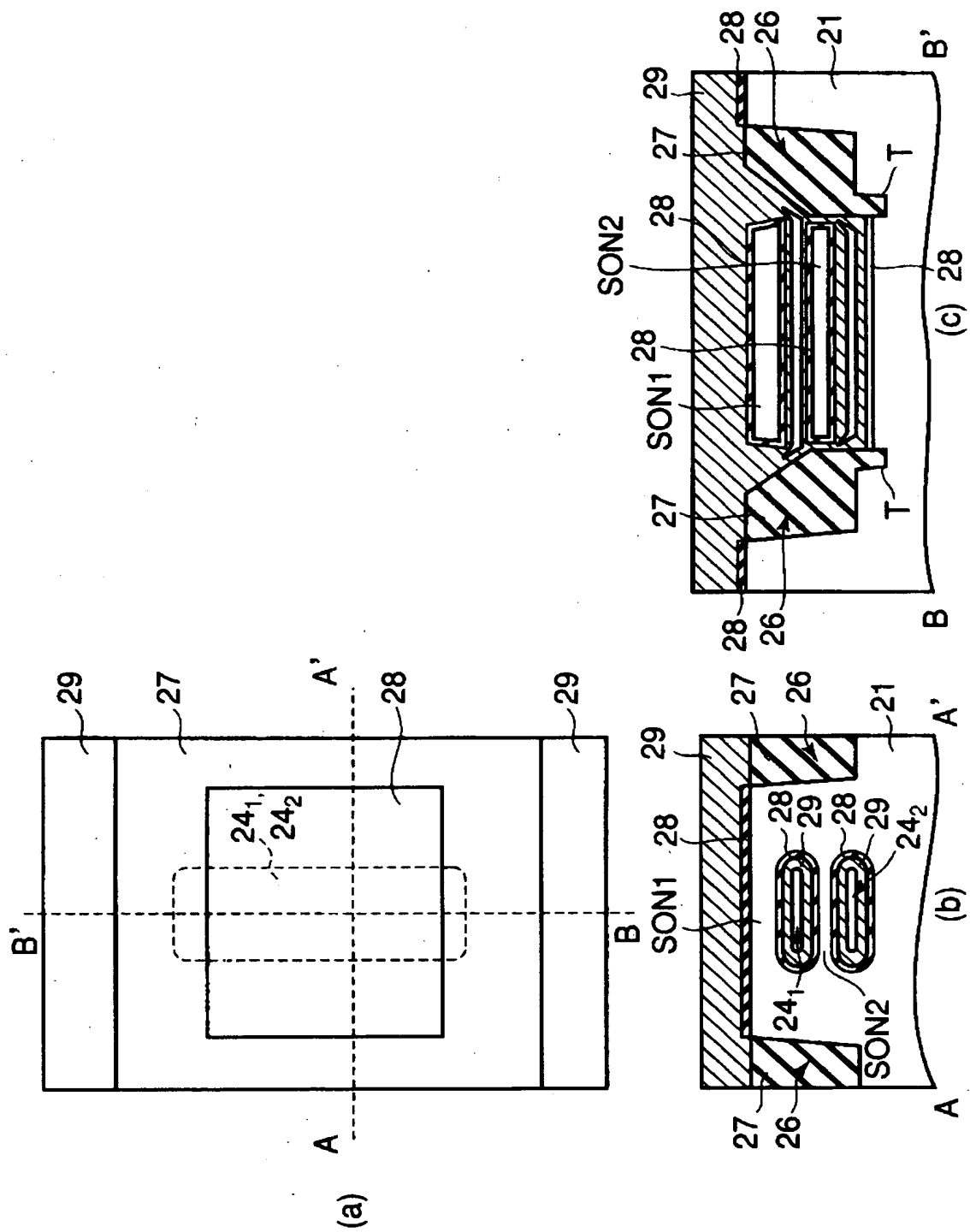
【図16】



【図 17】

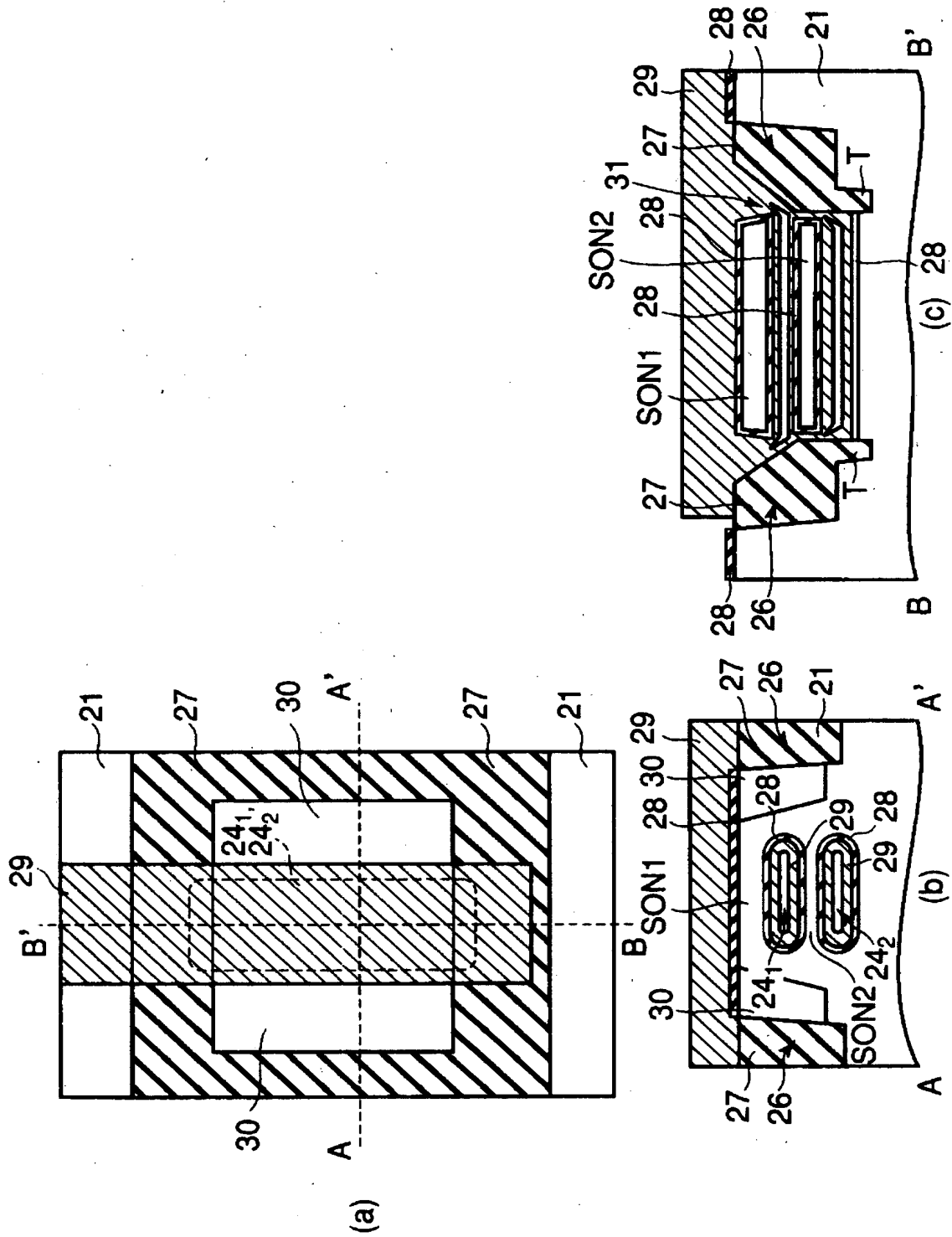


【図 18】





【図 19】



【書類名】 要約書

【要約】

【課題】 ダブルゲート構造を含むMOSFETのプロセスを簡略化すること。

【解決手段】 ESS4の一部と重なるように素子分離溝6を形成し、その後、CVD法により、素子分離溝6からESS4内にSi原料を導入し、SONの上面と下面に多結晶シリコン膜9（上部ゲート電極，下部ゲート電極）を同じ工程で堆積する。

【選択図】 図8

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝